

DCXO SiT39xx シリーズを使った設計

本アプリケーションノートの目的

本アプリケーションノートは、制御発信器に対する理解とオプション使用方法のサポートを目的としています。デジタル制御発振器(DCXO)と従来の電圧制御推奨発振器(VCXO)の共通点、相違点を中心に説明を進めていきます。

SiTimeのDCXO SiT39xxは、1線式シリアル・インタフェースを用いた制御を特徴しており、本インタフェースを介して高分解能な周波数調整が可能です。本アプリケーションノートでは、SiT39xxの機能、性能およびDCXOの代表的な製品であるSiT3907の制御方法について説明します。

目次

1	はじめに.....	2
2	DCXOとVCXOの性能比較.....	3
2.1	ゲインと線形性.....	5
2.2	位相ノイズ.....	6
3	DCXO SiT39xxのコンフィグレーション.....	8
3.1	1線式プログラマブルインタフェース.....	8
3.1.1	MCUとのインタフェース.....	10
3.1.2	FPGAとのインタフェース.....	11
3.2	周波数制御.....	11
3.2.1	データフレームフォーマット.....	12
3.2.2	動作モード.....	12
4	結論.....	17
5	参考資料.....	18

1 はじめに

安定性の高い制御発振器は、高分解能の周波数調整回路を内蔵しています。本アプリケーションノートでは、周波数制御幅が $\pm 1\%$ 以下の狭可変幅制御発振器について説明します。これらの発振器は周波数を非常に正確に設定することができ、同期化、ジッタクリーナあるいはクロックリカバリーが必要となる高性能デジタル通信システムにおいて有用です。最も一般的な高安定性制御発振器は、以下の2タイプとなります。

1. Voltage-controlled crystal oscillators (VCXO)
2. Digitally-controlled crystal oscillators (DCXO)

両タイプの制御発振器ともに、周波数可変範囲の狭いフェーズ・ロック・ループ (PLL) を使用し、高性能デジタル通信システムに使用することができます。通常このようなPLLでは、リファレンス入クロックからの位相ノイズやジッタをフィルタリングするために、非常に低い帯域幅 (例えば 1kHz 以下) となっています。

DCXO ベースのPLLはVCXOベースの設計に比べていくつかの利点があります。利点の1つとしてDCXOでは、システム上にDA変換や他の電圧制御用アナログソースが不要となる点が挙げられます。これによりシステムコストを低減することが可能となります。図1に2つのPLLの実現方法を示します。上図がVCXOを用いた場合、下図がDCXOを用いた場合の構成となります。 $\pm 1\%$ 以下の高い直線性をもつ高安定性DCXOは、帯域幅の低い完全デジタルPLL (ADPLL) に適しています。

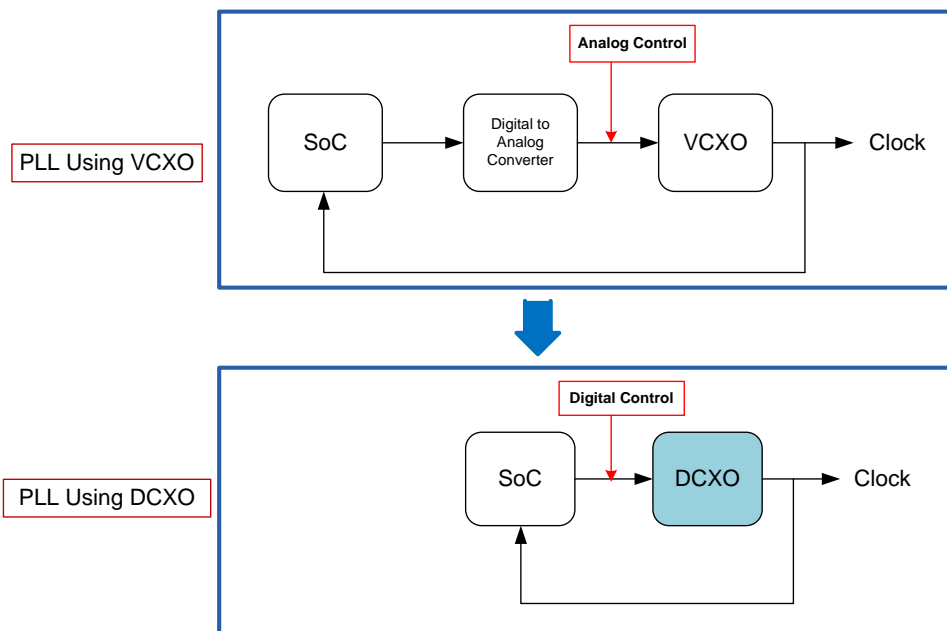


Figure 1: Simplifying PLL implementation with a DCXO.

2 DCXO と VCXO の性能比較

アナログ制御とデジタル制御の発振器は、周波数可変範囲、ゲイン、直線性、近接位相ノイズ等いくつかのパラメータで性能が異なります。特に断りのない限り、ほとんどの性能パラメータは VCXO と DCXO の双方に適用可能です。

周波数可変範囲 (PR) は典型的条件下における公称周波数に対して変動させることができる周波数幅の保証値 (ppm) です。水晶ベースの VCXO は広い周波数可変範囲実現するために、低い Q 値を持つ水晶が使用されます。低い Q 値を持つ水晶では、引き込み範囲は拡大しますが、周波数の安定性が劣化します。このため、設計者は、必要最小限の周波数安定性を満たし、かつ、アプリケーションが必要とする最低限の周波数可変範囲を満たす発振器を選択する必要があります。しかし、DCXO は周波数安定性に影響を与えることなく、±1000ppm より広い周波数可変範囲 (一般的な VCXO の最大周波数可変範囲は±150 ppm) を達成することができます。例としてあげると、水晶ベースの VCXO DSV753SV の最大周波数可変範囲が±150ppm なのに対して、MEMS ベースの DCXO SiT3907 では最大周波数可変範囲±1600 ppm を実現しています。

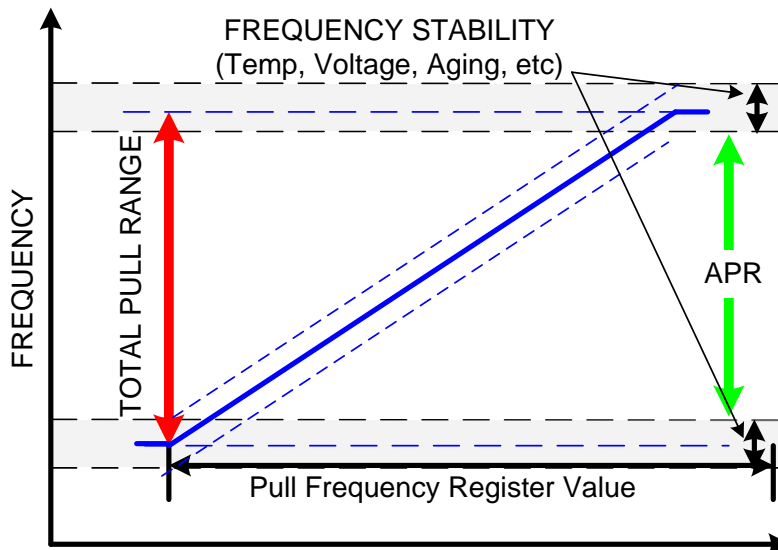


Figure 2: DCXO Frequency vs code plot showing impact of F_{stab} and F_{aging} on PR

絶対周波数可変範囲 (APR) は全ての環境条件およびエイジングによる変動を加味した周波数可変範囲の保証値であり、ppm で表現されます。絶対周波数可変範囲は、周波数可変範囲から温度、電源電圧、エイジングといった全ての変動要因を含んだ周波数安定度を差し引いた実効的な周波数可変範囲となります。

$$APR = PR - F_{stability} - F_{aging}$$

ここで、 $F_{stability}$ は、初期偏差および、温度、電源、負荷による変動を考慮したデバイスの周波数安定度であり、 F_{aging} は、エイジングによる周波数変動となります。この式中のすべてのパラメータは ppm で表されます。

図 2 と図 3 は、それぞれ DCXO と VCXO 周波数可変範囲における $F_{stability}$ と F_{aging} の関係を示しています。

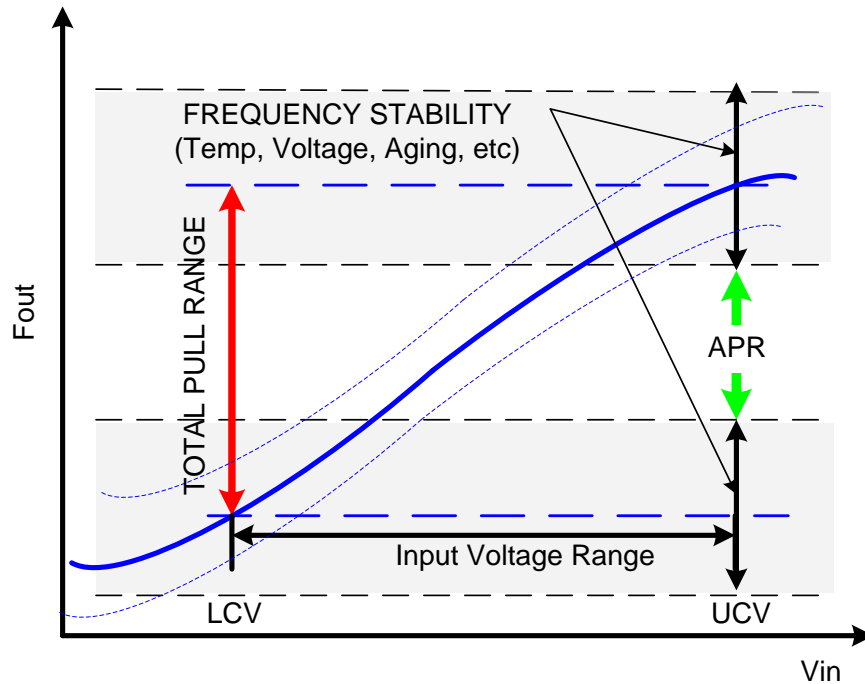


Figure 3: VCXO frequency vs code plot showing impact of F_{stab} and F_{aging} on PR

VCXO gain (k_v) は、与えられた入力電圧変動に対する周波数変動の比であり、Hz/ Vまたはppm/ Vで表されます。 k_v の平均値は次式で計算することができます。

$$Kv = \frac{F_{max} - F_{min}}{V_{max} - V_{min}}$$

ここで、 F_{max} は電圧 V_{max} での最大周波数、 F_{min} は電圧 V_{min} での最大周波数です。このパラメータは、VCXOにも適用可能です。例えば、水晶ベースのVCXO DSV753SVの k_v の測定結果は78ppm/Vとなります。

DCXO gain (k_d)は、周波数可変範囲内で実現できる最小周波数分解能ステップです。VCXOと異なり、DCXOはチップ内の周波数「引込み」レジスタに書き込まれたデジタルコードによって周波数制御を行います。高分解能であるほど、周波数可変範囲は狭くなります。これは、parts-per-billion (ppb)、またはppmで表されます。例えば、SiT3907は k_d が1ppbという分解能を持っています。

k_v の直線性は、チューニングレンジ全域にわたって線形近似した k_v モデルに対する平均偏差となります。VCXOの直線性は一般的に2~5%の範囲です。

k_d の直線性は、チューニングレンジ全域にわたって線形近似した k_v モデルに対する平均偏差となります。DCXOはVCXOに比べてはるかに優れた直線性(0.1%以下)を備えています。

Close-in phase noiseは、周波数オフセット10kHz以下の位相雑音です。VCXOの位相ノイズは、周波数可変範囲に大きく依存します。周波数可変範囲が広いほど、発振器の位相ノイズも高くなります。通常、このパラメータは入力電圧ノイズ感度にも影響されます。DCXOの位相ノイズは、周波数可変範囲や制御入力のノイズの影響を受けません。

2.1 ゲインと線形性

水晶ベースの VCXO で見られる非線形は、水晶振動子のもつ非線形特性と水晶振動子の負荷容量を変化させるために使用されているオンチップの可変容量ダイオード（バラクタダイオード）によって引き起こされます。DCXO は、一般的な水晶ベースの VCXO とは異なり、選択された APR に依存しない高い線形性が特徴です。

図 4 は、 ± 90 ppm の周波数可変範囲をもつ水晶発振器 VCXO DSV753SV の周波数特性(実測)と、 ± 200 ppm の周波数可変範囲をもつ SiTime DCXO SiT3907AC-C2-33NH-27.000000 の周波数特性（制御デジタルコードを等価電圧に換算）をそれぞれ示しています。

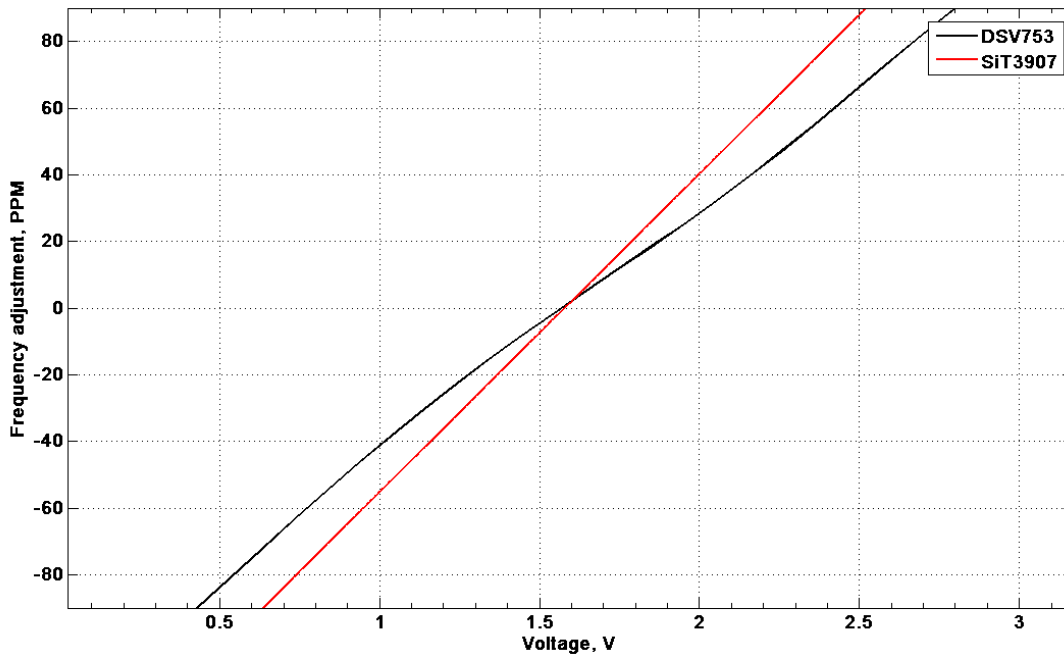


Figure 4: Linearity of a ± 200 ppm PR DCXO, SiT3907 and ± 90 pmm VCXO, DSV753SV.

図 4 に示すように VCXO の k_v はチューニングレンジの中心付近で非直線性を示し、チューニングレンジの端の領域では直線的になっています。SiT3907 の k_d 特性は極めて直線的で（赤色）、非線形性が非常に小さくなっています。図 5 は、全 ± 1600 ppm の周波数可変範囲をもつ SiT3907AC-C3-33NZ-27.000000 の周波数直線性を示しています。これは、23bit モード（Mode 2）で動作するデバイスの周波数「引込み」レジスタ値を 0x000000 から 0x7FFFFFFF まで変化させて測定した結果です。詳細手順は、3.2 章で説明します。

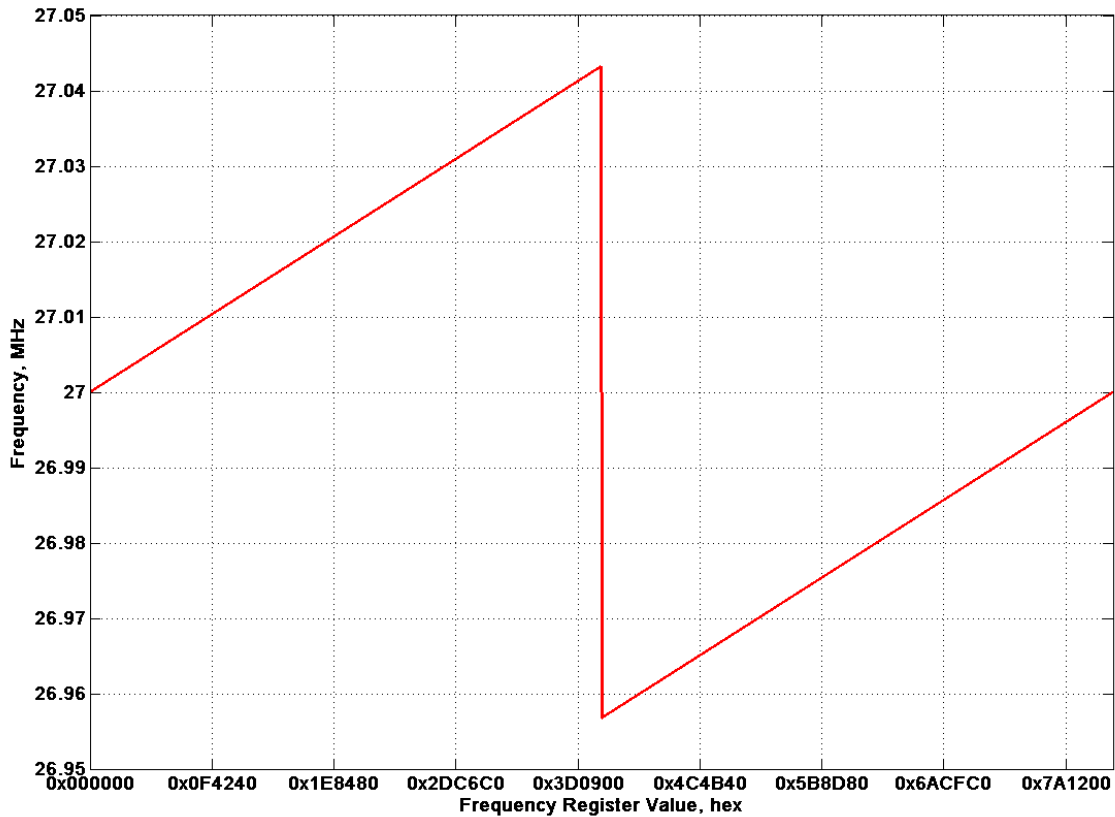


Figure 5: Frequency vs. “pull” register values for a SiT3907, 27 MHz, ± 1600 ppm PR, Mode 2.

負の周波数シフトに対応するため SiT39xx の周波数「引込み」レジスタは 2 の補数で表現されます。

2.2 位相ノイズ

位相ノイズは、発振器の重要な性能パラメータです。水晶ベースの VCXO では、位相雑音と周波数可変範囲の間でトレードオフが発生します。高い周波数可変範囲を達成するために、引込み範囲の広い水晶振動子を使用しますが、結果的に Q 値が低くなり、位相ノイズが大きくなります。

SiTime の DCXO SiT39xx シリーズは、このような制限を受けません。設計者は、位相雑音性能を犠牲にすることなく、 ± 25 ppm から ± 1600 ppm までの周波数可変範囲を選択することができます。

DCXO 製品である SiT3907AC-C2-33NB-25.000000 (PR: ± 50 ppm) と SiT3907AC-C2-33NZ-25.000000 (PR: ± 1600 ppm) それぞれの位相ノイズの測定結果を図 6 に示します。測定には、Agilent 社製 E5052B ソースシグナルアナライザを用いています。

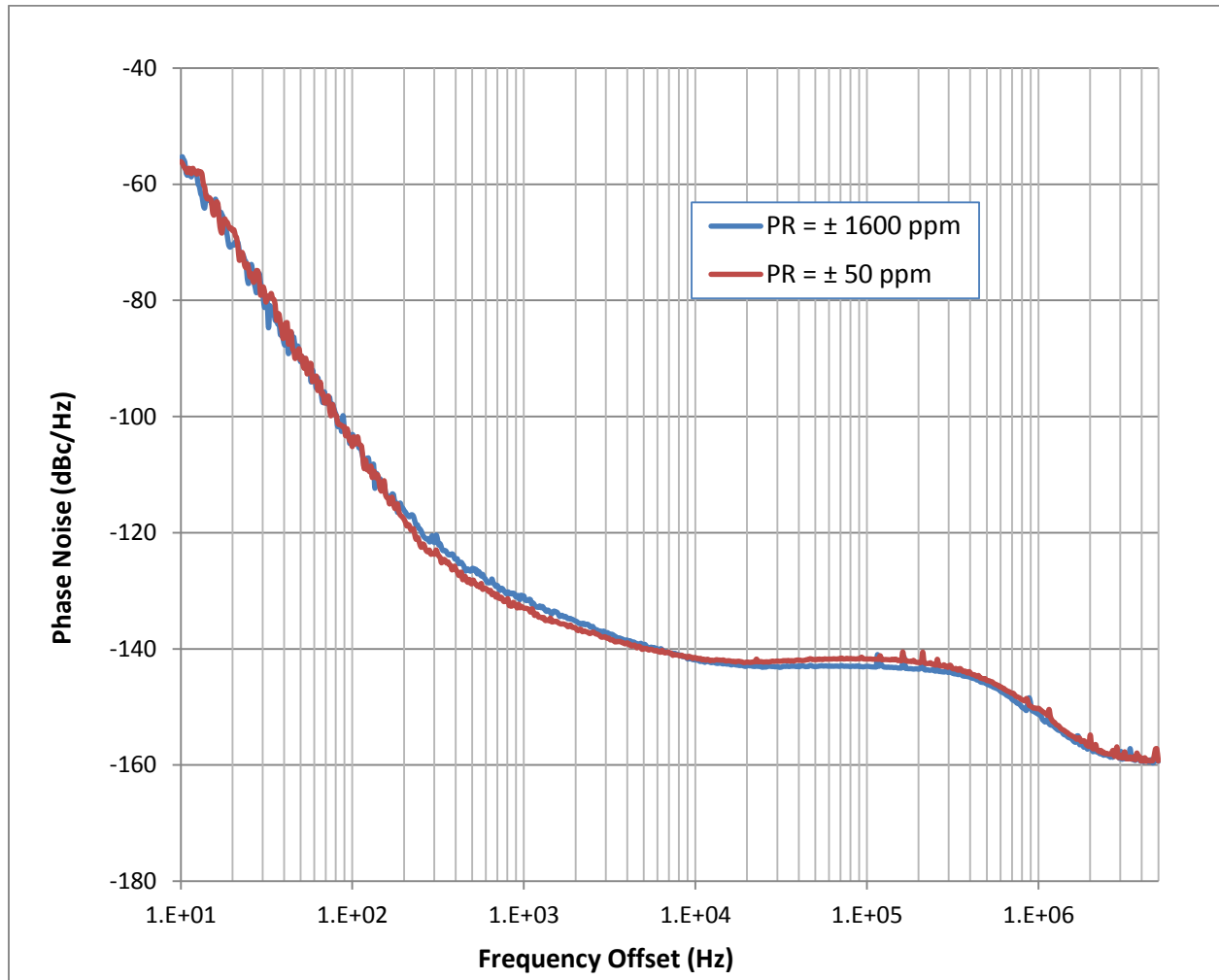


Figure 6: Phase noise plots of SiT3907 DCXO with PR ± 50 ppm and PR = ± 1600 ppm.

上図に示すように、全周波数オフセットで、DCXO SiT3907 の ± 50 ppm と ± 1600 ppm それぞれの位相ノイズは、dB の範囲内です。

3 DCXO SiT39xx のコンフィグレーション

3.1 1線式プログラマブルインタフェース

SiT39xx シリーズは、最小のシステム・リソース（FPGA または MCU のトリステート可能な GPIO ピンのどちらか）で簡単に実装することができる独自の 1 線式 3 値シリアル・インタフェースを使用しています。GPIO がトリステート出力をサポートしていない場合、図に示すように 2 つの IO と外部トリステートバッファ（SN74LVC1G126）を組み合わせて使用する事ができます。

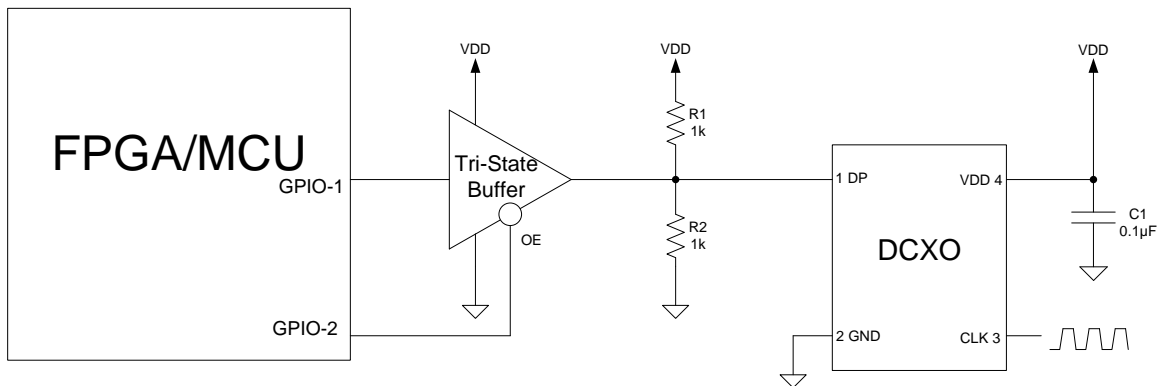


Figure 7: Serial 1-wire tri-level signaling

SiTime のト 3 値 1 線式インタフェース(SiTime Tri-level One-wire interface)は、頭字語をとって「SiTLOWI」と呼称します。SiTLOWI インタフェースの信号レベルは、図 8 に示すような波形となります。立ち上がり/立ち下がり時間は、ピン 1 (DP) とプルアップおよびプルダウン抵抗の並列抵抗における総容量の RC 時定数によって決定されます。ハイロジックの後に中間ロジックレベルが続いた場合を論理ビット” 1”と定義し、ロウロジックの後に中間ロジックレベルが続いた場合を論理ビット” 0”と定義します。波形パラメータを表 1 に示します。最も実用的な状況における時定数は 50ns 未満ですが、そのためには RC 波形が 5%以内になるよう T_{middle} を十分長く確保する必要があります。

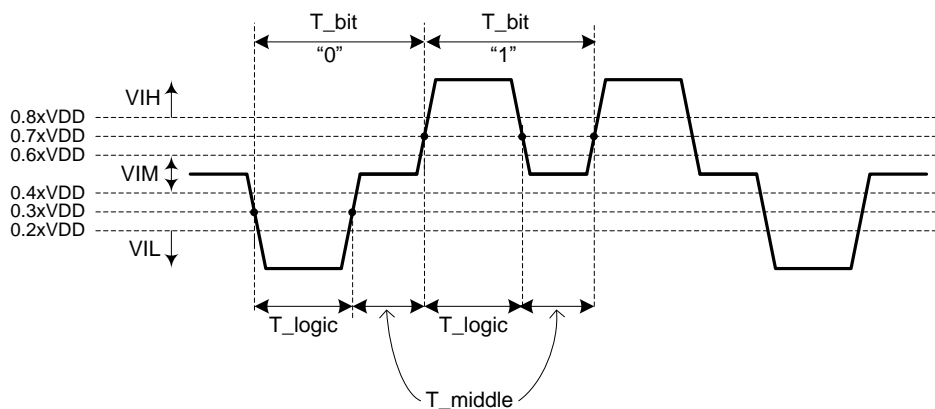
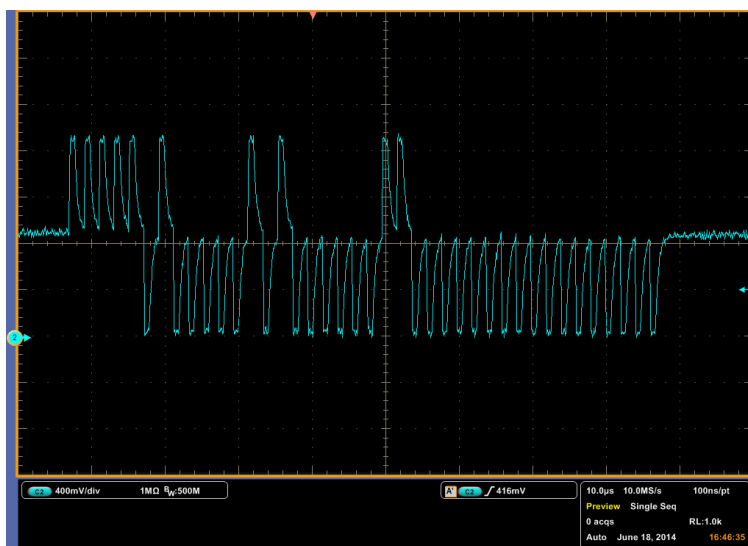


Figure 8: 1-wire programming interface waveform

Table 1: AD and DC parameters of 1-wire programming interface

Parameter	Symbol	Min.	Typ.	Max.	Unit
Input Low Voltage	VIL	-	-	0.2xVdd	V
Input Middle Voltage	VIM	0.4xVdd	-	0.6xVdd	V
Input High Voltage	VIH	0.8xVdd	-	-	V
Input High or Low Logic Pulse	T_logic	500	-	-	ns
Input Middle Pulse Width	T_middle	500	-	-	ns
Input Impedance	Zin	100	-	-	kΩ
Input Capacitance	Cin	-	5	-	pF


Figure 9: Captured data pin waveform

SiTime は、MCU や FPGA のいずれかで 1 線式 SiTLOWI インタフェースを実装するための C 言語や HDL 言語のリファレンスコードを提供します。

3.1.1 MCU とのインタフェース

MCU とのインタフェースは、オープンソースのネイティブ C 言語を API 関数として構成されており、1Mbit/秒のボーレートで最大 16 個の SiTime デバイスの同時接続をサポートします。この API は、8 ビット/ 16 ビット/ 32 ビットの MCU の任意のファームウェアに容易に組込むことができます。SiTLOWI ドライバ構造を、図 10 に示します。

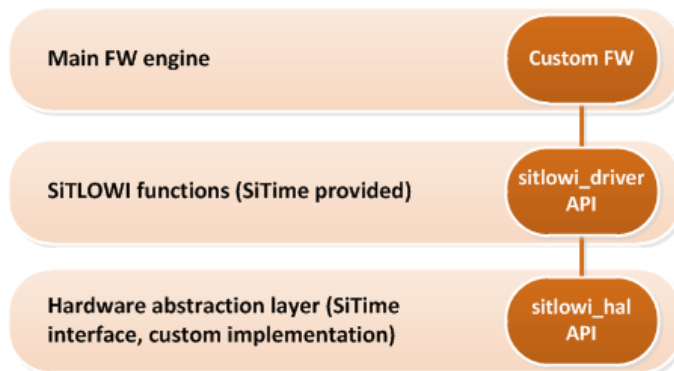


Figure 10: SiTLOWI driver structure

MCU API 関数のサンプルは、外部トリステートバッファの有り、無しそれぞれの SiTLOWI インタフェースをサポートしており、ソースコードのパッケージは [SiTime website](#) に公開しています。

3.1.2 FPGA とのインターフェース

SiTime は、Xilinx 社製 FPGA の SiTLOWI マスターインターフェースやトランスミッタインターフェースを実装するための HDL 言語コードを提供しています。もちろん、このサンプルコードは、他の FPGA プラットフォームに移植できるように書かれています。

設計は、トライステート可能な I/O ピン、または外部トライステートバッファを持つ 2 つの IO ピンの両方をサポートしています。Verilog と VHDL の両方で利用可能で、1Mbit/秒のポーレートで最大 16 個の SiTime デバイスの同時接続をサポートしています。トランスミッタのブロックダイアグラムを図 11 に示します。

利用可能なソースコードは [DCXO transmitter core specification webpage](#) に公開しています。

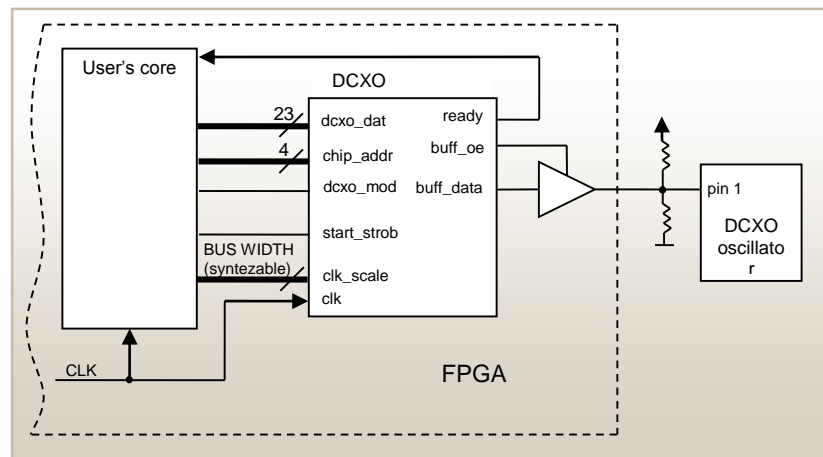


Figure 11: SiTLOWI Master/Transmitter block diagram.

3.2 周波数制御

SiTime の DCXO SiT39xx の周波数は、2 つで 1 セットの周波数「引込み」レジスタを用いて制御します。デバイスの公称周波数からの周波数シフト量をレジスタで制御します。各レジスタのデータは、次のセクションで説明する一つのデータフレームとしてデバイスに書き込まれます。

3.2.1 データフレームフォーマット

図 12 に示すように各フレームは 40 ビットで構成されており、フレームは 3 つのカテゴリに分割されます。

1. 先頭16 bitは0xFAXAです。ここでXはデバイスのアドレスです。
2. 続く8 bitはレジスタアドレスです。
3. 周波数の引き込み値 (PF) は2の補数として表現し、プログラミングモードに応じて、16 bitまたは、23 bitの値を2つのレジスタ (最上位ワード (アドレス 0x06) と最下位ワード (アドレス 0x07)) に分けセットします。

最上位ビットが最初に送信されます。

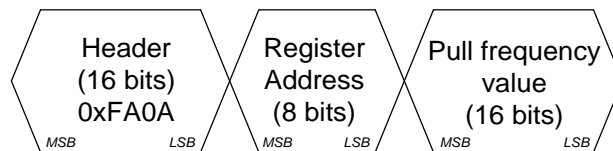


Figure 12. Data frame format

ヘッダによって、デバイスが「マスターが初期通信状態であること」を認識できます。ヘッダ内のフィールド[7:4]で工場出荷時のデバイスアドレス (有効値は 16 進数で 0 から F を使用) をプログラムします。長期的に注文されていない場合、デバイスアドレスは 0 にデフォルト設定されます。このドキュメントのすべての例では、デバイスアドレスは 0 (デフォルト) となります。

3.2.2 動作モード

SiT39xx 発振器は、2 つの動作モードをサポートしています。Mode 1 では、アドレス (0x06) のレジスタに 16 ビットの周波数「引き込み」値をプログラミングすることによって、デバイスの周波数を制御することができます。また、Mode 2 では、ユーザは、2 つのレジスタ (アドレス 0x06 と 0x07) に 23 ビットの周波数「引き込み」値を設定することで、広い周波数可変範囲を保ちながら、より高い分解能を達成することができます。ただし、各レジスタにアクセスするためには、一つのデータフレームでなければいけません。

3.2.2.1 制御モード Mode 1

このモードでは、1つのフレーム毎に周波数更新されます。出力周波数は、各フレームのレコードの終了時に更新されます。周波数可変範囲値のデータ長は、図 13 に示すように 16 ビットでデバイスに書き込まれます。

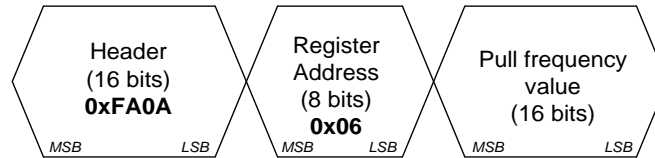


Figure 13: Data format of frequency control Mode 1

新しいレジスタ設定値は、 T_{fdelay} 時間後に更新が反映されます。表 2 に、これと他のフレームタイミング・パラメータの最小/最大時間を記載します。最高速度で更新するには、フレーム間を $2\mu s$ (T_{f2f}) で送信する必要があります。

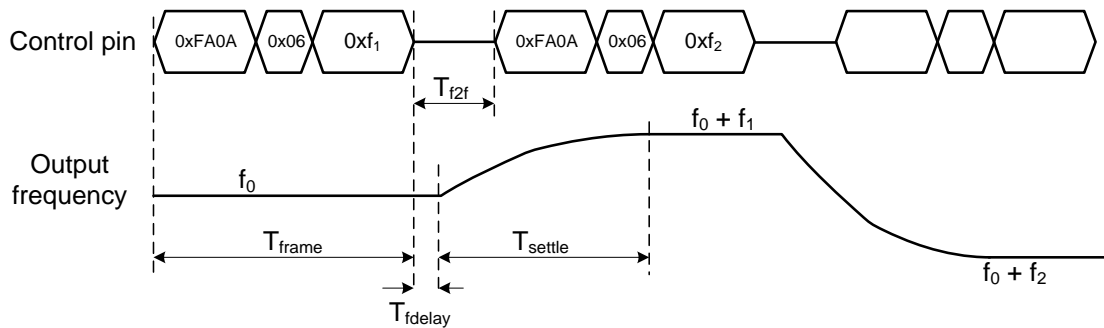


Figure 14: Mode 1 frame timing

Table 2: Frame Timing Parameters

Parameter	Symbol	Min.	Typ.	Max.	Unit
Frame Length	T_{frame}	40	-	-	μs
Frame to Frame Delay	T_{f2f}	2	-	-	μs
Frequency Settling Time	T_{settle}	-	-	30	μs
Frame to Frequency Delay	T_{fdelay}	-	-	8	μs

正しいパワーアップサイクル後にデバイスはデータ受信可能となります。また、周波数の変更が発振出力を妨げることはありません。図 14 に示すように周波数は、ある周波数から新たな周波数にスムーズ切り替わります。図 16 に、-1600 ppm から 1600 ppm に周波数を更新した際の周波数トレンド（紫線）のスナップショットを示します。

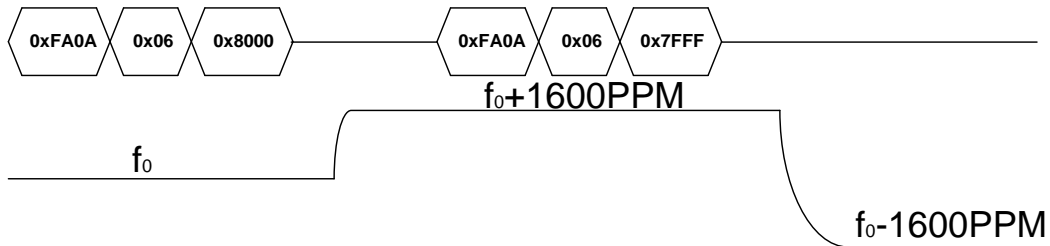


Figure 15: Trend of frequency Transition in Mode 1

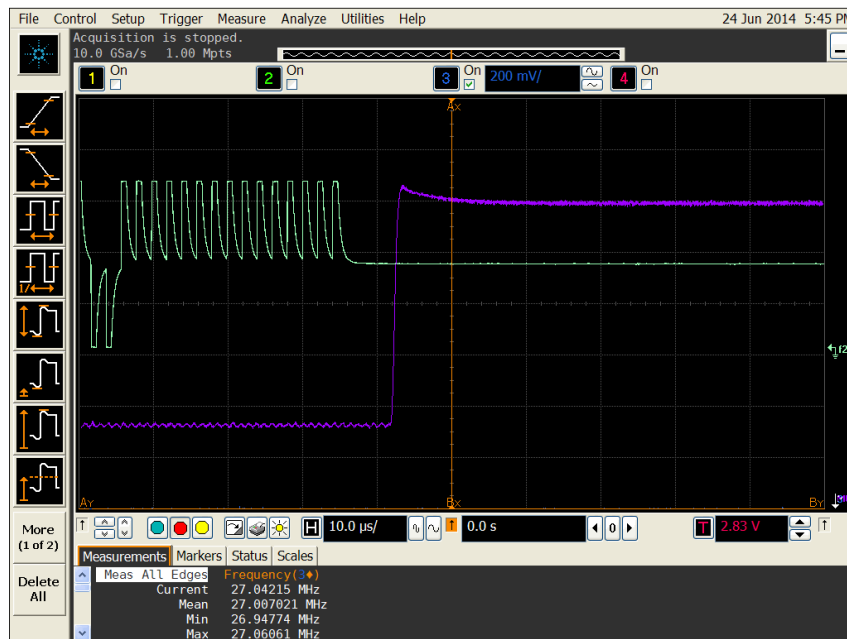


Figure 16. Scope snapshot of frequency update from -1600 ppm to +1600 ppm in Mode 1.

3.2.2.2 周波数制御モード Mode 2

このモードでは、周波数更新に2つのフレームを使用し、周波数は第2フレームの終了時にのみ更新されます。このモードでの周波数可変範囲値は23ビットとなります。このモードでは、より細かいステップ分解能を提供します。

図17に示すように、この値は、22のフレームでデバイスに書き込まれます。

最初のフレームで最下位ワードの7LSB（アドレス0x07）を書き込みます。その際、0x07のレジスタの残りの最上位ビットは0でなければなりません。

2つ目のフレームで最上位ワードの16ビット（アドレス0x06）を書き込みます。このモードのフレームタイミング波形を、図18に示します。

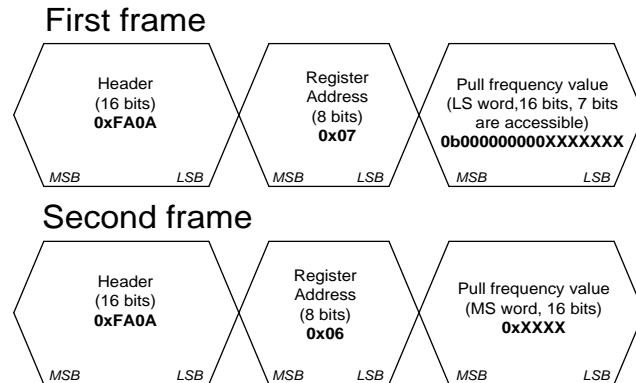


Figure 17: Data format of frequency control Mode 2

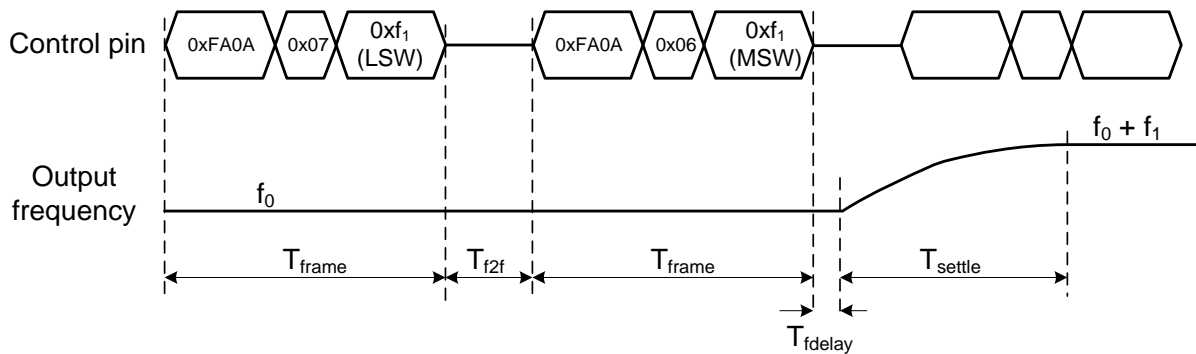


Figure 18: Mode 2 frame timing

3.2.2.3 周波数可変範囲値の算出

SiT3907 の正しい周波数値を計算するために、いくつかの手順があります。

1. 下表のスケールファクタを使用してください。PR とは周波数可変範囲（1600ppm、800 ppm 等）のことです。

Mode	K (scale) Factor
1	$(2^{15}-1) / (PR * 1.00135625)$
2	$(2^{22}-1) / (PR * 1.00135625)$

2. 式に目標の ppm 値を入力します。

$$\text{周波数制御値 (10 進数)} = \text{round}(\text{abs}(\text{目標の PPM 値} * K))$$

正方向の周波数シフトの場合、選択したモードに応じて、いずれかのレジスタに算出値を書き込んでください。負方向の周波数シフト値は、2 の補数進数に変換後、レジスタに書き込んでください。

3.2.2.3.1 例 1. Mode 1 による周波数シフト演算

±1600 ppm の周波数可変範囲を持つデバイス (address 0) を Mode 1 (16bit) によって+120.3 ppm にするためには、前述した方法で周波数制御値 (10 進数) を算出する必要があります。

1. スケールファクタの選定

$$K = (2^{15}-1)/(1600*1.00135625) = 20.451637\dots$$

2. 周波数制御値の算出

$$\text{Round}(120.3 * K) = 2460$$

3. 正方向の周波数シフトのため、算出値をそのままレジスタへの書き込み値として使用します。

$$2460 = 0x099C$$

結果、デバイスへの書き込みデータは 0xFA0A 06 099C となります。

3.2.2.3.2 例 2. Mode 2 による周波数シフト演算

先の例と同じ±1600 ppm の周波数可変範囲を持つデバイス (address 0) を Mode 2 (23bit) によって-920.2 ppm にするための演算方法を下記に示します。

1. スケールファクタの選定

$$K = (2^{22}-1)/(1600*1.00135625) = 2617.8888\dots$$

2. 周波数制御値の算出

$$\text{Round}(920.2 * K) = 2408981$$

3. 負の周波数シフトのため、2 の補数値に変換した値をレジスタへの書き込みに使用する必要があります。

23 ビットの 16 進数値: 2408981 = 0x24C215

2 の補数に変換した 16 進数値: 0x24C215 = 0x5B3DEA

4 結論

DCXO 製品である SiT39xx シリーズは、高安定性、低位相ノイズ、高線形性が特徴です。これらの DCXO は、近接位相ノイズに対する量子化の影響を最小限に抑えるために十分に早いリフレッシュレートと分解能を持ち、低帯域幅の完全デジタル PLL の設計に適しています。これによりアナログ回路に関する追加オーバーヘッドを不要にできます。

DCXO は VCXO に比べて、いくつかの大きな利点があります。

- 非常に優れた直線性を持ち、VCXO では 5~10% という直線性であるのに対して、1% 以下の直線性を容易に実現できる
- ユーザ・プログラマブル k_v
- k_v と絶対周波数可変範囲のトレードオフが存在しない
- アナログ入力回路のノイズに起因する隣接位相ノイズの悪化がない
- 周波数可変範囲と位相ノイズのトレードオフが存在しない
- DA 変換に必要な追加回路やアナログフィルタが不要にできる
- 標準の VCXO に比べて 8 倍以上の広い周波数可変範囲を得ることが可能
- 優れたチューニングスロープ (k_v) 特性により、システムにおける PLL 性能のばらつきを最小限に抑えるだけでなく、PLL の設計を単純化できる

5 参考資料

- [1] S. Tabatabaei, et al, “*Silicon MEMS Oscillators for High-Speed Digital Systems*”, IEEE Micro, vol. 30, No. 2, March/April2010, pp 80-89.
- [2] SiTime Corp., “*High resolution digitally-Controlled MEMS oscillator*”, SiT3907 Datasheet, <http://www.sitime.com/products/datasheets/SiT39xx/SiT39xx-datasheet.pdf>.
- [3] KDS Daishiku Corp., DSV753SV Datasheet, <http://www.kds.info/data/pdf/074E.pdf>

SiTime Corporation
990 Almanor Avenue
Sunnyvale, CA 94085
USA
Phone: 408-328-4400
<http://www.sitime.com>

© SiTime Corporation, 2008-2014. The information contained herein is subject to change at any time without notice. SiTime assumes no responsibility or liability for any loss, damage or defect of a Product which is caused in whole or in part by (i) use of any circuitry other than circuitry embodied in a SiTime product, (ii) misuse or abuse including static discharge, neglect or accident, (iii) unauthorized modification or repairs which have been soldered or altered during assembly and are not capable of being tested by SiTime under its normal test conditions, or (iv) improper installation, storage, handling, warehousing or transportation, or (v) being subjected to unusual physical, thermal, or electrical stress.

Disclaimer: SiTime makes no warranty of any kind, express or implied, with regard to this material, and specifically disclaims any and all express or implied warranties, either in fact or by operation of law, statutory or otherwise, including the implied warranties of merchantability and fitness for use or a particular purpose, and any implied warranty arising from course of dealing or usage of trade, as well as any common-law duties relating to accuracy or lack of negligence, with respect to this material, any SiTime product and any product documentation. Products sold by SiTime are not suitable or intended to be used in a life support application or component, to operate nuclear facilities, or in other mission critical applications where human life may be involved or at stake.