

低消費電力 MCU の 32 kHz 発振動作モードに対する SiT15xx 製品の最適なドライブ出力設定

目次

1	はじめに.....	2
2	MCU の 32kHz 発振動作モード.....	2
3	SiT15xx 出力ドライブレベル.....	5
3.1	NanoDrive による小振幅出力モード.....	5
3.2	LVC MOS レベル Rail to Rail 出モード.....	6
4	Energy Micro EFM32.....	7
5	STMicroelectronics STM32.....	7
6	Renesas Electronics RL78G13.....	8
7	Texas Instruments MSP430F2x.....	8
8	NXP LPC11xx.....	9
9	Freescale Kinetis L4x/L5x.....	9
10	Microchip PIC18.....	10
11	Appendix A: Programming the EnergyMicro EFM32 LFXO.....	11
11.1	EFM32 Clock Management Unit.....	11
11.2	LFXO の設定.....	14
12	Appendix B: Programming the STMicroelectronics STM32 LSE Oscillator.....	15
12.1	Low-speed External Clock Oscillator.....	15
12.2	External Clock Source (LSE bypass).....	16
12.3	Clock Security System on LSE.....	16
12.4	Clock-out Capability.....	17
12.5	Configuring LSE.....	18
13	Appendix C: Programming the Renesas Electronics RL78G13 XT1 Oscillator.....	18
13.1	XT1 Oscillator.....	18
13.2	Configuration XT1.....	18
14	Appendix D: Programming the Texas Instruments MSP430 low frequency oscillator.....	20
14.1	The MSP430 LFXO Oscillator.....	20
14.2	Clock-out Capability.....	22
14.3	Low-power Modes.....	22
15	Appendix E: Programming the NXP LPC1100 RTC Oscillator.....	23
15.1	Configuring the RTC Oscillator.....	23
15.2	Clock Output Capability.....	24
16	Appendix F: Programming the Freescale Kinetis L4x and L5x System Oscillator.....	32
16.1	Programming Model.....	32
16.2	Clock Output Capability.....	37
17	Appendix G: Programming the PIC18 MCU Secondary Oscillator.....	37

1 はじめに

マイクロ・コントローラ（MCU）を内蔵したシステムは、時間管理と障害復旧の機能を、32.768kHz の水晶振動子を使用した発振器に長年依存してきました。TempFlat™ MEMS 内蔵の SiT153x 発振器と SiT155x 温度補償発振器（TCXO）は、従来の 32.768 kHz 水晶発振器の代替品となる新世代の 32.768kHz のタイミングデバイスで、小さなフットプリント、優れたコスト効果、より高い信頼性、従来品と比較し改善された周波数偏差を提供します。

本アプリケーションノートでは、低消費電力 MCU で使用されているオンチップの 32 kHz 発振動作モードと、SiT15xx デバイスでサポートされている様々なドライブ設定方法の概要を説明します。SiT15xx デバイスは、出力振幅を工場でプログラム出来る NanoDrive™ を特徴としており、既存の発振器回路対し電力と接続性を最適化する事が可能です。

本資料は、SiT15xx の出力ドライブ V_{OH}/ V_{OL} 設定の有効な組合せと、特定の MCU に関連する部品番号の一覧を示します。また、以下の MCU 用に 32kHz 発振器のモード毎に最適化した SiT15xx ドライブの設定リストを提供しています。

- | | |
|--------------------------------|------------------------------|
| 1. Energy Micro EFM32 | 5. NXP LPC11xx |
| 2. Renesas Electronics RL78G13 | 6. Freescale Kinetis L4x/L5x |
| 3. STMicroelectronics STM32 | 7. Microchip PIC18 |
| 4. Texas Instruments MSP430F2x | |

それぞれの MCU 固有のプログラミング詳細は、本アプリケーションノートの巻末にある付属資料に記載しています。

2 MCU の 32kHz 発振動作モード

ほとんどの低消費電力 MCU はオンチップで 32.768kHz 発振回路を実装しており、それは図 1 に示すように、固定または調整可能な反転ゲインアンプと抵抗フィードバックで構成されるピラス発振器の派生回路です。

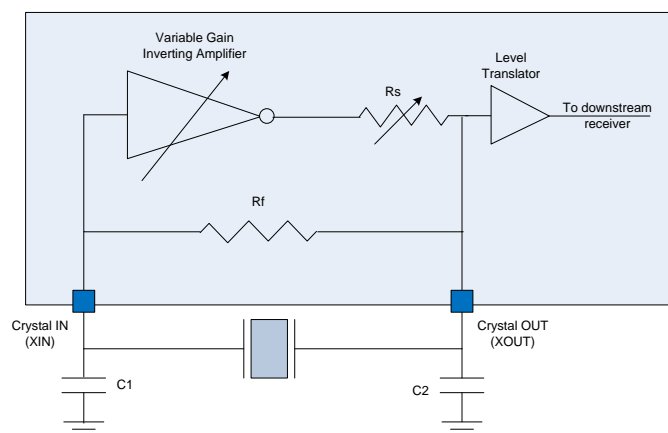


Figure 1: Typical 32.768 kHz oscillator block diagram shown with a crystal resonator.

この低周波発振回路は、図 2 に示すように、3 つの異なるモードで動作するように設定することができます。

1. Mode-1 : 32.768kHz 水晶振動子を駆動する（振動子モード）
2. Mode-2 : XIN 端子から入力されるサイン波（ $\geq 200\text{mVpp}$ ）を受け入れる
3. Mode-3 : オンチップ発振器をバイパスまたは遮断後、デジタル論理レベルのクロックを入力する。1.8V のロジックレベルと互換性のある発振器入力では、SiT15xx のサポートする小さい出力振幅の NanoDrive が、さらなる電力節約を可能にします。

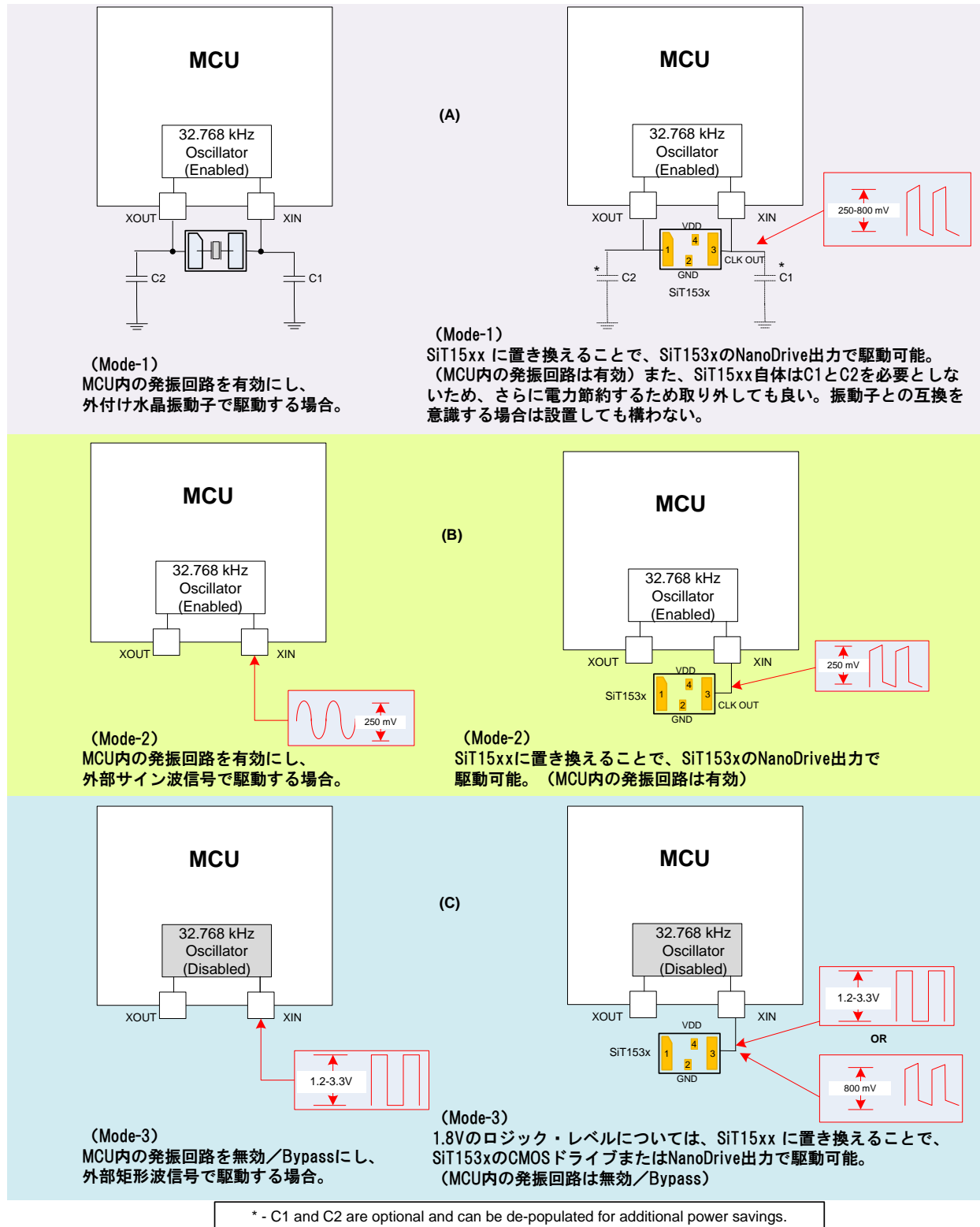


Figure 2: Operational modes of an MCU on-chip 32 kHz oscillator.

3 SiT15xx 出力ドライブレベル

SiT15xx デバイスは、2つの出力ドライブモードをサポートしています。

1. NanoDrive™による小振幅出力モード（工場でプログラム可能）
2. LVCMOS レベル Rail-to-rail 出力モード

3.1 NanoDrive による小振幅出力モード

NanoDrive モードによって、SiT15xx 出力ドライバは、32kHz 水晶振動子駆動のピアス発振器と類似した様々な出力振幅やコモンモード電圧を設定する事が可能です。DC カップリングおよび AC カップリングの両方のモードをサポートしています。

表 1 に示す DC カップリングの VOH/ VOL ドライブレベルが、32 kHz 発振回路用にサポートされています。表 1 に記載されているコードは各 VOH/ VOL の組み合わせを決める部品番号です。例えば、SiT15xxAI-H4-D26-32.768 は、VOH=1.225V と VOL=0.525V のドライブレベルを提供しています。この設定を適用可能な発振器動作モードは、図 2 に示す Mode-1 となります。

Table 1: Matrix of Permitted DC Coupled VOH/VOL NanoDrive Levels

VOL\VOH	1.225	1.100	1.000	0.900	0.800	0.700	0.600
0.800	D28	D18	D08				
0.700	D27	D17	D07	D97			
0.525	D26	D16	D06	D96	D86		
0.500	D25	D15	D05	D95	D85	D75	
0.400		D14	D04	D94	D84	D74	D64
0.350		D13	D03	D93	D83	D73	D63

表 2 に示す出力振幅レベルが、AC カップリングでの接続を前提とする 32kHz 発振回路用にサポートされています。表 2 に記載されているコードは各出力振幅レベルを決める部品番号です。例えば、SiT15xxAI-H4-AA4-32.768 は 400mV の出力振幅を提供しています。この設定を適用可能な発振器動作モードは、図 2 に示す Mode-2 となります。

Table 2: Matrix of Permitted AC Coupled Swing Levels

Swing	0.800	0.700	0.600	0.500	0.400	0.300	0.250	0.200
Part# Output Code	AA8	AA7	AA6	AA5	AA4	AA3	AA2	AA1

表 1 及び 2 に記載されている数値は、25°C での Typ.値です。電源電圧及び動作温度範囲（-40~85°C）を考慮すると±55mV の変動があります。

図 3 は NanoDrive モード（Vswing = 0.7V, VOH = 1.1V, VOL = 0.4V にプログラム）時の SiT15xx 発振器の出力波形（負荷条件=15pF）を示しています。2012 サイズのパッケージで 32.768 kHz のデバイスとした時の部品番号は、SiT15xxAI-H4-D14-32.768 となります。

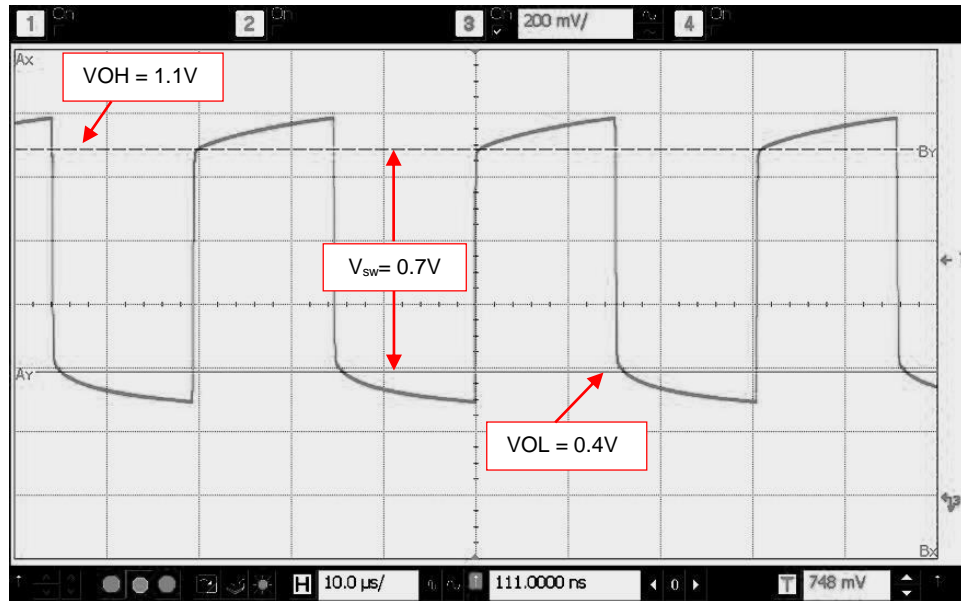


Figure 3: Scope capture of SiT15xxAI-H4-D14-32.768 output waveform in to a 15 pF load.

3.2 LVCMOS レベル Rail to Rail 出モード

SiT15xx は、フル振幅の LVCMOS レベルを出力するようにプログラム可能です。図 4 は、SiT15xxAI-H4-DCC-32.768 の出力波形（1.8V=VDD, 負荷条件=15 pF, 温度=室温）です。

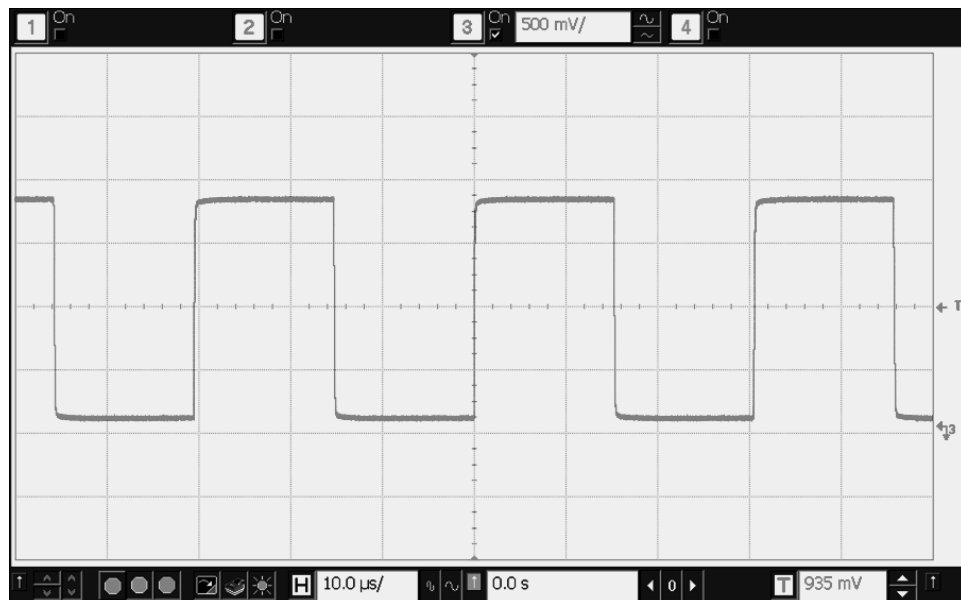


Figure 4: LVCMOS waveform of SiT15xxAI-H4-DCC-32.768 at 1.8V VDD in to 15 pf load.

NanoDrive 設定時、期待される結果や最適の結果が得られない場合は、LVCMOS レベルに設定してください。また、LVCMOS レベルに設定し、MCU 内発振回路を無効或いはバイパスモードにする事により、消費電力を最小にする事が可能になります。

4 Energy Micro EFM32

EFM32 MCU ファミリーは、低消費電力動作の ARM Cortex-M0 / M3 / M4 プロセッサコアをベースとしています。EFM32 は、RTC を含むオンチップ・ペリフェラルや CPU コアにクロックを供給する低周波水晶駆動発振回路 (LFXO) を内蔵しています。LFXO は、LFX TAL_N と LFX TAL_P ピン間に接続された 32.768kHz 水晶振動子、または LFX TAL_P ピンから入力される外部クロック源によって動作します。デフォルト設定では、LFXO は無効です。

LFXO の 3 つ動作モードについて、SiT15xx デバイスの最適な設定を表 3 に示します。

Table 3: SiT15xx Configuration for the Three EFM32 LFXO Oscillator Modes

	Mode-1: LFXO Enabled	Mode-2: LFXO Enabled with Sine Wave Input	Mode-3: LFXO Disabled
LFX TAL_N, P connections	SiT15xx pin 3 → LFX TAL_N pin LFX TAL_P pin = NC	SiT15xx pin 3 → LFX TAL_N pin LFX TAL_P pin = NC	SiT15xx pin 3 → LFX TAL_P pin LFX TAL_N pin = NC
SiT15xx Output Drive Settings	NanoDrive: D74	NanoDrive: AA2	LVC MOS: DCC for MCU VDD ≥ 1.8V NanoDrive: D26 for MCU VDD = 1.8V (recommended for lowest power)

EFM32 LFXO の動作モードに関する有効／無効設定や各種モードのプログラム方法については[付属資料 A](#)を参照してください。

5 STMicroelectronics STM32

STM32L152RBT6 のコアは Cortex-M3 ARM コア ベースの MCU です。LSI 内蔵の RTC には、独立した正確な低周波 (LSE) 発振回路を持っています。LSE 発振回路は低消費電力ながら精度の高いクロック源で、リアルタイムクロック (RTC) や周辺クロック/カレンダーまたは他のタイミング回路に対しクロックを供給しています。発振回路には、水晶デバイスを接続できるように OSC32_IN と OSC32_OUT ピンがあります。オプションとして、MCU レジスタ設定によって、オンチップ発振回路をバイパスした後、外部クロック源を OSC32_IN ピンに直接入力することも出来ます。(デフォルトでは、LSE 発振回路はオフです)

LSE 発振回路がサポートできる動作モードは 2 つです。LSE 発振回路の動作モードに対する SiT15xx の最適な設定を表 4 に示します。

Table 4: SiT15xx Configuration for the Two STM-32 LSE Oscillator Modes

	Mode-1: LSE Enabled	Mode-2: LSE Enabled with Sine Wave Input	Mode-3: LSE Disabled
OSC32_IN, OUT connections	SiT15xx pin-3 → OSC32_IN pin OSC_OUT pin = NC	Not Supported	SiT15xx pin 3 → OSC32_IN pin OSC_OUT pin = NC
SiT15xx Output Drive Settings	NanoDrive: D13	Not Applicable	LVC MOS: DCC for MCU VDD ≥ 1.8V NanoDrive: D26 for MCU VDD = 1.8V (recommended for lowest power)

STM32 LSE の動作モードに関する有効／無効設定や各種モードのプログラム方法については[付属資料 B](#)を参照してください。

6 Renesas Electronics RL78G13

R5F100LE は RL78 コアの 16bit MCU です。R5F100LE は、RTC を含む周辺機器と、必要に応じてコアにクロック供給できる低周波発振回路 (XT1) を内蔵しています。XT1 は、水晶デバイス接続用に XT1 と XT2 の 2 つのピンを持っています。XTSTOP ビット (クロック動作ステータス制御レジスタ (CSC) の 6 番目のビット) を制御することで、発振 ON/OFF を制御することが可能です。また、外部 CMOS レベルのクロックを EXCLKS/XT2 ピンから供給することも可能です。

XT1 発振回路がサポートできる動作モードは 2 つです。XT1 発振回路の動作モードに対する SiT15xx デバイスの最適な設定を表 5 に示します。

Table 5: SiT15xx Configuration for the Three XT1 Oscillator Modes

	Mode-1: LFXO Enabled	Mode-2: LFXO Enabled with Sine Wave Input	Mode-3: LFXO Disabled
XT1, XT2 connection	SiT15xx pin 3 → XT1 pin XT2 pin = NC	Not Supported	SiT15xx pin 3 → XT2 pin XT1 pin = NC
SiT15xx Output Drive Settings	NanoDrive: D28	Not Applicable	LVC MOS: DCC for MCU VDD ≥ 1.8V NanoDrive: D26 for MCU VDD = 1.8V (recommended for lowest power)

RL78G13 XT1 の動作モードに関する有効／無効設定や各種モードのプログラム方法については[付属資料 C](#)を参照してください。

7 Texas Instruments MSP430F2x

MSP430 は 16bit RISC CPU を搭載する MCU です。五つの異なる低消費電力モードを備えるアーキテクチャは、ポータブル・アプリケーションでのバッテリー長寿命を実現するために最適化されています。MSP430 は、低システムコストと超低消費電力をサポートするクロック・モジュールを内蔵しています。このクロック・モジュールは、時計用水晶振動子、通常の水素振動子や 32768Hz の外部クロック源を使用できる低/高周波数発振回路を内蔵しています。MSP430 は水晶デバイス接続用に XIN と XOUT の 2 つの端子を有しています。

この MCU に搭載されているクロック・モジュールがサポートできる動作モードは 2 つです。このクロック・モジュールに対する SiT15xx デバイスの最適な設定を表 6 に示します。

Table 6: SiT153x Configuration for the Two LFXT Oscillator Modes

	Mode-1: LFXT Enabled	Mode-3: LFXT Disabled
XIN, XOUT connection	SiT153x pin 3 → XIN pin XOUT pin = NC	SiT153x pin 3 → XIN pin XOUT pin = NC
SiT153x Output Drive Settings	Not Applicable	LVC MOS: DCC

MSP430 クロック・モジュールの動作モードに関する有効／無効設定や各種モードのプログラム方法については付属資料 D を参照してください。

8 NXP LPC11xx

LPC1100 は、50 MHz までの速度で動作する Cortex-M0 コアの MCU です。Cortex-M0 プロセッサは、広範囲の組み込みアプリケーション用に設計された、エントリーレベルの 32 ビットの ARM Cortex プロセッサです。LPC1100 は Sleep Mode、Deep Sleep Mode、Power-Down Mode、Deep Power-Down Mode など、ポータブル・アプリケーションにおいて、高性能と低消費電力の両立を可能にするいくつかの低消費電力モードを備えています。

LPC1100 は、32768 Hz のクロック生成可能な低消費電力 RTC 発振回路を内蔵しています。RTCXIN と RTCXOUT の二つのピンは、32768 Hz 水晶振動子との接続に使用されます。RTC 発振回路は、低消費電力モードの時でも常に動作します（バイパスすることはできません）。LPC1100 RTC 発振回路がサポートできるモードは 1 つです。この RTC 発振回路に対する SiT15xx デバイスの最適な設定を表 7 に示します。

Table 7: SiT153x Configuration for the RTC Oscillator Mode

	Mode-1: RTC Oscillator Enabled
RTCXIN, XOUT connection	SiT153x pin 3 → RTCXIN pin RTCXOUT pin = NC
SiT153x Output Drive Settings	NanoDrive: D13

LPC1100 RTC 発振回路の動作モードに関する有効／無効設定や各種モードのプログラム方法については付属資料 E を参照ください。

9 Freescale Kinetis L4x/L5x

Kinetis L シリーズの MCU は、ARM Cortex-M0+ プロセッサをベースとしています。このプロセッサは、高い性能と併せて低消費電力を備えています。MCU に内蔵されているクロックを分配するブロックは Multipurpose Clock Generator (MCS)、水晶発振器 (XOSC) とリアルタイムクロック (RTC) モジュールで構成されています。水晶振動子は EXTAL32 と XTAL32 のピンに接続することができます。XOSC がバイパスされている場合は、外部クロックを EXTAL32 ピンから入力する事が可能です。

XOSC は、ユーザーファームウェアによって調整可能なオンチップの負荷コンデンサを内蔵しており、水晶用外部負荷コンデンサを省略可能になっています。高ゲイン/低消費電力の、2 つの発振動作モードが用意されており、高ゲイン動作モード時は高い電圧レベルが必要になります。Kineti KL04/05 に搭載されているクロック分配ブロックがサポートできる動作モードは 2 つです。このクロック分配ブロックに対する SiT153x の最適な設定を以下の表に示します。

Table 8: SiT15xx Configuration for the XOSC Oscillator Modes

	Mode-1: XOSC Enabled	Mode-3: XOSC Bypassed
XTAL32, EXTAL32 connection	SiT153x pin 3 → EXTAL32 pin XTAL32 pin = NC	SiT153x pin 3 → EXTAL32 pin XTAL32 pin = NC
SiT153x Output Drive Settings	NanoDrive: D28	LVC MOS: DCC

KL04/05 クロック分配ブロックの動作モードに関する有効／無効設定や各種モードのプログラム方法については[付属資料 F](#) を参照してください。

10 Microchip PIC18

PIC18 は、低消費電力を必要とするアプリケーションに向けて設計された 8 ビット MCU です。クロックのカスタマイズが柔軟に行える事とレジスタアクセスが簡単に行える事を特徴としています。PIC18 は、2 つの発振回路を持っています。1 つは、MHz 帯の周波数で高速動作、もう 1 つは、Timer1 を使った低消費電力／低周波数用です。低消費電力／低周波数用発振回路により、コアとその他の周辺機器を省電力モードであっても動作させる事ができます。

低消費電力／低周波数用発振回路は、外部クロック源と接続する 2 つの端子（T10SI と T10SO）を持っています。この発振回路がサポートできる動作モードは 2 つです。発振回路のクロック源として SiT153x デバイスを使用する場合の設定を以下の表に示します。SiTime は、最小の消費電力を実現できる bypass mode（Mode-3）を使用することを推奨します。

Table 9: SiT15xx Configuration for the Secondary Oscillator Modes

	Mode-1: Secondary Oscillator Enabled	Mode-3: Secondary Oscillator Bypassed
T10SI, T10SO connection	SiT153x pin 3 → T10SI pin T10SO pin = NC	SiT153x pin 3 → T10SO pin T10SI pin = NC
SiT153x Output Drive Settings	NanoDrive: D13	LVC MOS: DCC

低消費電力／低周波数用発振回路の動作モードに関する有効／無効設定や各種モードのプログラム方法については[付属資料 G](#) を参照してください。

11 Appendix A: Programming the EnergyMicro EFM32 LFX0

11.1 EFM32 Clock Management Unit

全ての発振回路は、クロック・マネージメントユニット（CMU）によって制御されており、CMUによって、全ての周辺モジュールに対して個別にクロックをオン/オフ設定することができます。また、CMU_CTRL[12:11]のLFXOMODEビットによってLFX0をバイパスすることが可能となります。外部からクロックを供給するには、LFX0のLFX TAL_Nピンに外部クロック源を接続します。

Table 10: CMU_CTRL - CMU Control Register

Offset	Bit Position																																
0x02C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reset									0	0x0				0x3	0					1	0x0	0x3			0	0x1			0x3	0x0			
Access									RW	RW				RW	RW					RW	RW	RW	0x3				RW	RW	0x1			RW	RW
Name									CLKOUTSEL1	CLKOUTSEL0				LFXOTMEOUT	LFXOBUFCUR					LFXOBOOST	LFXOMODE	HFXOTMEOUT			HFXOGLITCHDETEN	HFXOBUFCUR			HFXOBOOST	HFXOMODE			

Table 11: The LFXOMODE Field

Value	Mode	Description
0	XTAL	32.768 kHz crystal oscillator
1	BUFEXTCLK	An AC coupled buffer is coupled in series with LFX TAL_N pin, suitable for external sinus wave (32.768 kHz)
2	DIGEXTCLK	Digital external clock on LFX TAL_N pin. Oscillator is effectively bypassed.

発振回路をバイパスするには、LFXOMODE[12:11]に、「0x2」を書き込みます。

CMU_OSCENCMDレジスタのLFXOENビットに「1」を書き込むと、発振器の設定が有効になります。CMU_OSCENCMDレジスタのLFXODISビットに「1」を書き込むと、発振器の設定はデフォルトにリセットされます。

Table 9: CMU_OSCENCMD - Oscillator Enable/Disable Command Register

[illegible]

Table 13: OSCENCMD - The [31:3] Field Descriptions

Bit	Name	Reset	Access	Description
31:10	<i>Reserved</i>	<i>To ensure compatibility with future devices, always write bits to 0.</i>		
9	LFXODIS Disables the LFXO. LFXOEN has higher priority if written simultaneously.	0	W1	LFXO Disable
8	LFXOEN Enables the LFXO.	0	W1	LFXO Enable
7	LFRCODIS Disables the LFRCO. LFRCOEN has higher priority if written simultaneously.	0	W1	LFRCO Disable
6	LFRCOEN Enables the LFRCO.	0	W1	LFRCO Enable
5	AUXHFRCODIS Disables the AUXHFRCO. AUXHFRCOEN has higher priority if written simultaneously. Warning: Do not disable this clock during a flash erase/write operation.	0	W1	AUXHFRCO Disable
4	AUXHFRCOEN Enables the AUXHFRCO.	0	W1	AUXHFRCO Enable
3	HFXODIS Disables the HFXO. HFXOEN has higher priority if written simultaneously. Do not disable the HFRXO if this oscillator is selected as the source for HFCLK.	0	W1	HFXO Disable

Table 14: CMU_STATUS - Status Register

Offset	Bit Position																																					
0x02C	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
Reset																		R	0	R	0	R	0	R	0	R	0	R	0	R	0	R	0	R	0			
Access																			R	0	R	0	R	0	R	0	R	0	R	0	R	0	R	0	R	1	R	1
Name																			CALBSY	LFXOSEL	LFRCOSEL	HFXOSEL	HFRCOSEL	LFXORDY	LFXOENS	LFRCORDY	LFRCOENS	AUXHFRCO	AUXHFRCO	HFXORDY	HFXOENS	HFXORDY	HFRCOENS					

Table 15: CMU_STATUS - The [14:8] Field Descriptions

Bit	Name	Reset	Access	Description
31:15	Reserved	To ensure compatibility with future devices, always write bits to 0.		
14	CALBSY Calibration is on-going	0	R	Calibration Busy
13	LFXOSEL LFXO is selected as HFCLK clock source	0	R	LFXO Selected
12	LFRCOSEL LFRCO is selected as HFCLK clock source	0	R	LFRCO Selected
11	HFXOSEL HFXO is selected as HFCLK clock source	0	R	HFXO Selected
10	HFRCOSEL HFRCO is selected as HFCLK clock source	1	R	HFRCO Selected
9	LFXORDY LFXO is enabled and start-up time has exceeded	0	R	LFXO Ready
8	LFXOENS LFXO is enabled	0	R	LFXO Enable Status

11.2 LFX0 の設定

以下は、IAR Embedded Workbench IDE の LFX0 設定におけるサンプルコードです。

1. CMU_OSCENCMD[8]の LFX0EN ビット（表 11）を設定し、LFX0 による発振を有効にします
2. CMU_STATUS[9]（表 14）の LFXORDY ビットが設定されるまでウェイトします。（XTAL モード以外はこの手順をスキップします）

```
CMU->CTRL &= ~(0x3 << 11);  
CMU->CTRL |= 0x00000000;    // (XTAL)32768 Hz crystal oscillator  
//CMU->CTRL |= 0x00000800;    // (BUFEXTCLK)AC coupled  
//CMU->CTRL |= 0x00001000;    // (DIGEXTCLK)an external clock source  
  
// Lock CMU_CTRL  
CMU->OSCENCMD = (0x1UL << 8);  
  
/* Wait for clock to stabilize if requested  
!!!Applicable only for crystal oscillator configuration!!! */  
if (wait)  
{  
    while (!(CMU->STATUS & (0x1 << 9)));  
}
```

LFX0 は、小さい出力振幅（100mV 以上）の外部クロック源から動作できます。このモード（AC モード - BUFEXTCLK）は、CMU_CTRL[12 : 11]の LFXMODE ビットを設定することによって実現可能です。（表 10 参照）。

12 Appendix B: Programming the STMicroelectronics STM32 LSE Oscillator

12.1 Low-speed External Clock Oscillator

LSE 発振回路は、RCC_CSR[8]レジスタの LSEON ビットを、セット/クリアすることで、オン/オフを切り替えることができます。

Table 16: Control/Status Register (RCC_CSR)

31	30	29	28	27	26	25	24
LPWR RSTF	WWDG RSTF	IWDG RSTF	SFT RSTF	POR RSTF	PIN RSTF	OBLRSF	RMVF
rw	rw	rw	rw	rw	rw	rw	rw
23	22	21	20	19	18	17	16
RTC RST	RTC EN	Reserved				RTCSEL [1:0]	
rw	rw					rw	rw
15	14	13	12	11	10	9	8
Reserved			LSECS SD	LSECS SON	LSE BYP	LSE RDY	LSEON
			r	rw	rw	r	rw
7	6	5	4	3	2	1	0
Reserved						LSI RDY	LSION
						r	rw

RCC_CSR[9]レジスタの LSE RDY フラグは、LSE 発振回路の安定可否を示します。このビットが H/W に よって設定されるまで、LSE からのクロック信号は出力されません。また、RCC_CIR[8]ビット（表 17） が有効時に、割り込みを発生させることができます。

Table 17: Clock Interrupt Register (RCC_CIR)

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
CSSC	LSECS SC	MSI RDYC	PLL RDYC	HSE RDYC	HSI RDYC	LSE RDYC	LSI RDYC
W	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8
Res	LSECS SIE	MSI RDYIE	PLL RDYIE	HSE RDYIE	HSI RDYIE	LSE RDYIE	LSI RDYIE
	rw	rw	rw	rw	rw	rw	rw
7	6	5	4	3	2	1	0
CSSF	LSE RDYF	MSI RDYF	PLL RDYF	HSE RDYF	HSI RDYF	LSE RDYF	LSI RDYF
r	r	r	r	r	r	r	r

12.2 External Clock Source (LSE bypass)

RCC_CSR レジスタ（表 16）の LSEBYP ビットと LSEON ビットを設定することによって、OSC32_IN ピンに接続された外部クロック源を LSE 発振回路に入力することができます。～50%のデューティサイクルを持つ外部クロック信号（square, sine or triangle）を OSC32_IN ピンから入力してください。その際、OSC32_OUT ピンは未接続のまま（Hi-Z）にしておく必要があります。

12.3 Clock Security System on LSE

LSE 発振回路のクロック・セキュリティシステムは、RCC_CSR レジスタの LSECSSON ビット（表 16）をソフトウェアによって書き込むことで設定できます。このビットは、ハードウェアリセット、RTC ソフトウェアリセット、または LSE の障害検出時に無効にする事が可能です。LSECSSON ビットは、LSI と LSE を有効（LSEON ビットと LSION ビットによって設定されます）且つレディ状態とし（LSERDY と LSIRDY は H/W によって設定されます）、RTCSEL ビットによって RTC クロックを選択後に書き込まなければなりませんので注意してください。LSE 上の CSS はすべてのモード（Run, Sleep, Stop and Standby）で動作しています。

32kHz の外部発振器の障害を検出した場合は、LSE から RTC にクロックが供給されなくなり、H/W レジスタへのアクションを取ることができなくなります。スタンバイモードでは、ウェイクアップが発生します。その他のモードでは、ウェイクアップの代わりに、割り込みが発生します。その時点で、LSECSSON ビットを S/W によって無効にし、LSEON ビットを無効にすることで障害のある 32 kHz 発振器を停止する必要があります。そうすることで、RTC へのクロックソース変更（no clock or LSI or HSE, with RTCSEL）や、アプリケーションを保護するために必要な措置を取ることができます。

12.4 Clock-out Capability

マイクロ・コントローラからのクロック出力機能（MCO）があり、設定可能なプリスケアラ（1, 2, 4, 8, 16）を介して外部の MCO ピン（PA8）からクロック出力することができます。ただし、対応する GPIO ポートの設定レジスタを、ファンクションモードにする必要があります。

RCC_CFGR レジスタ（表 18）の MCOSEL[2:0] ビットを制御することで、次の 7 つのクロック信号の内 1 つを、MCO クロックとして選択することができます。

- System clock (SYSCLK)
- Internal RC 16MHz (HSI) oscillator
- Internal 65 kHz to 4.2 MHz (MSI) oscillator
- External 1 to 24 MHz (HSE) oscillator
- PLL
- Internal low-power oscillator (LSI)
- Low-power 32.768 kHz external oscillator (LSE)

Table 10: Configuration Register (RCC_CFGR)

31	30	29	28	27	26	25	24
Res.	MCOPRE[2:0]			Res.	MCOSEL[2:0]		
	rw	rw	rw		rw	rw	rw
15	14	13	12	11	10	9	8
Reserved		PPRE2[2:0]			PPRE1[2:0]		
		rw	rw	rw	rw	rw	rw
23	22	21	20	19	18	17	16
PLLDIV[1:0]		PLLMUL[3:0]				Res.	PLL SRC
rw	rw	rw	rw	rw	rw		rw
15	14	13	12	11	10	9	8
Reserved		PPRE2[2:0]			PPRE1[2:0]		
		rw	rw	rw	rw	rw	rw
7	6	5	4	3	2	1	0
HPRE1[3:0]				SWS[1:0]		SW[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw

Note: If the LSE or LSI is used as RTC clock source, the RTC continues to work in Stop and Standby low power modes, and can be used as wake-up source. However, when the HSE clock is used as RTC clock source, the RTC cannot be used in Stop and Standby low power modes.

12.5 Configuring LSE

- 1) LSE を設定する前に、RCC_CSR レジスタ内の LSEON[8]ビットと LSEBYP[10] ビットをリセットする。

IAR Embedded Workbench IDE example:

```
// #define RCC_LSE_OFF ((uint8_t)0x00)

/* Reset LSEON and LSEBYP bits before configuring the LSE -----*/
*(__IO uint8_t *) CSR_BYTE2_ADDRESS = RCC_LSE_OFF;
```

- 2) 新しく LSE の設定をセットする。バイパスモードが必要な場合は、LSEBYP[10]ビットをセットして、LSEON ビットをセットする。ビット操作は同時に行うことができます。

IAR Embedded Workbench IDE example:

```
// #define RCC_LSE_Bypass ((uint8_t)0x05)
// #define RCC_LSE_ON ((uint8_t)0x01)

/* Set the new LSE configuration -----*/
*(__IO uint8_t *) CSR_BYTE2_ADDRESS = RCC_LSE_ON;
// or *(__IO uint8_t *) CSR_BYTE2_ADDRESS = RCC_LSE_Bypass;
```

- 3) RCC_CSR レジスタ 内の LSERDY [9]ビットが、Ready になるまでウェイトする。これは、外部水晶デバイスを使用する場合に適用される。

13 Appendix C: Programming the Renesas Electronics RL78G13 XT1 Oscillator

13.1 XT1 Oscillator

XT1 はゲインが低く低消費電力な発振回路です。CMC レジスタ（表 21）に AMPHS1[2]ビットと AMPHS0[1]ビットがあり、これらによって水晶デバイスに適したゲインを選択する事が可能です。

Table 11: Oscillation Mode Fields

AMPHS1	AMPHS0	XT1 oscillator oscillation mode selection
0	0	Low power consumption oscillation (default)
0	1	Normal oscillation
1	0	Ultra-low power consumption oscillation
1	1	Setting prohibited

13.2 Configuration XT1

- 1) CSC レジスタ（表 20）の XTSTOP[6]ビットをセットし、XT1 を無効にする。
- 2) 必要に応じて、AMPHS1 ビット、AMPHS0 ビットを制御し、発振モード変更する。
- 3) CMC レジスタ（表 21）の EXCLKS、OSCSELS ビットをセット/クリアし、発振モードを設定する。
- 4) CSC レジスタの XTSTOP[6]ビットをクリアし、XT1 を有効にする。

Table 20: CSC Register

Symbol	<7>	<6>	5	4	3	2	1	<0>	
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP	
	MSTOP	High-speed system clock operation control							
		X1 oscillation mode	External clock input mode				Input port mode		
		0	X1 oscillator operating	External clock from EXCLK pin is valid				Input port	
		1	X1 oscillator stopped	External clock from EXCLK pin is invalid					
	XTSTOP	Subsystem clock operation control							
		XT1 oscillation mode	External clock input mode				Input port		
		0	XT1 oscillator operating	External clock from EXCLKS pin is valid					
		1	XT1 oscillator stopped	External clock from EXCLKS pin is invalid					
	HIOSTOP	High-speed on-chip oscillator clock operation control							
		0	High-speed on-chip oscillator operating						
		1	High-speed on-chip oscillator stopped						

Table 12: CMC Register

Symbol	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH
	EXCLK	OSCSEL	High-speed system clock pin operation mode		X1/P121 pin		X2/EXCLK/P122 pin	
	0	0	Input port mode		Input port			
	0	1	X1 oscillation mode		Crystal/ceramic resonator connection			
	1	0	Input port mode		Input port			
	1	1	External clock input mode		Input port		External clock input	
	EXCLKS	OSCSELS	Subsystem clock pin operation mode		XT1/P123 pin		XT2/EXCLKS/P124 pin	
	0	0			Input port			
	0	1			Crystal resonator connection			
	1	0			Input port			
	1	1			Input port		External clock input	
	AMPHS1	AMPHS0	XT1 oscillator oscillation mode selection					
	0	0	Low power consumption oscillation (default)					
	0	1	Normal oscillation					
	1	0	Ultra-low power consumption oscillation					
	1	1	Setting prohibited					
	AMPH	Control of X1 clock oscillation frequency						
0	1 MHz ≤ fx ≤ 10 MHz							

	1	10 MHz ≤ f _x ≤ 20 MHz
--	---	----------------------------------

14 Appendix D: Programming the Texas Instruments MSP430 low frequency oscillator

14.1 The MSP430 LFXT Oscillator

LFXT1 発振回路は、32768Hz 時計用水晶振動子を用いる超低消費電力 LF モード (XTS= 0) と、高周波水晶振動子を用いる HF モードをサポートしています。LF モードの場合、時計用水晶振動子は他の外付け部品なしで XIN および XOUT ピンと接続します。ソフトウェアで選択可能な XCAPx ビットによって、LF モードで使用する内部負荷容量を設定できます。この容量は、1pF、6 pF、10 pF または 12.5 pF (どれも typical 値) から選択することができます。必要に応じて、外付けコンデンサを追加する事も可能です。LFXT1 は MSP430G22x0 デバイス・ファミリーでは、実装されていません。

HF モード (XTS=1、XCAPx=00) では、高周波水晶振動子を XIN と XOUT に接続し、両端子には外付けコンデンサを付加します。HF モードを選択した場合、LFXT1Sx ビットによって動作周波数の範囲を選択する必要があります。LFXT1 は、LF または HF モードのいずれの設定でも、LFXT1Sx=11、OSCOFF=0、XCAPx=00 とした場合、外部クロック信号を XIN ピンから入力可能です。外部クロック信号を使用する場合、その周波数は、選択したモードのデータシートパラメータに合致していなければなりません。入力周波数が指定された下限値を下回る場合は、CPU が LFXT1CLK でクロックされるのを防止するように、LFXT1OF ビットを設定する必要があります。

LFXT1 発振回路を有効にする手順は以下の通りです。

- 1) XTS レジスタで動作モードを、DIVAx レジスタで分周比を設定する。
- 2) BCCTL3 レジスタの LFXT1Sx ビットによってモードを設定する。
- 3) 内部のコンデンサを有効にする (必要な場合のみ)。これは、BCCTL3 レジスタの XCAPx によって制御します。
- 4) BCCTL1 レジスタの XT2OFF ビットをクリアする。

Table 13: BCCTL1, Basic Clock System Control Register 1

Bit	7	6	5	4	3	2	1	0
Name	XT2OFF	XTS	DIVAx		RSELx			
State	rw-(1)	rw-(0)	rw-(0)	rw-(0)	rw-0	rw-1	rw-1	rw-1
	XT2OFF	Bit 7	XT2 off. This bit turns off the XT2 oscillator 0 XT2 is on 1 XT2 if off					
	XTS	Bit 6	LFXT1 mode select 0 Low-frequency mode 1 High-frequency mode					
	DIVAx	Bits 5-4	Divider for ACLK 00 /1 01 /2 10 /4 11 /8					
	RSELx	Bits 3-0						

			Range select. Sixteen different frequency ranges are available. The lowest frequency range is selected by setting RSELx = 0. RSEL3 is ignored when DCOR = 1
--	--	--	---

Table 14: BCSCTL3, Basic Clock System Control Register 3

Bit	7	6	5	4	3	2	1	0
Name	XT2Sx		LFXT1Sx		XCAPx		XT2OF	LFXT1OF
State	rw-0	rw-0	rw-0	rw-0	rw-0	rw-1	r0	r-(1)
	XT2Sx	Bits 7-6	XT2 range select. These bits select the frequency range for XT2.					
			00	0.4- to 1-MHz crystal or resonator				
			01	1- to 3-MHz crystal or resonator				
			10	3- to 16-MHz crystal or resonator				
			11	Digital external 0.4- to 16-MHz clock source				
	LFXT1Sx	Bits 5-4	Low-frequency clock select and LFXT1 range select. These bits select between LFXT1 and VLO when XTS = 0, and select the frequency range for LFXT1 when XTS = 1.					
			When XTS = 0:			When XTS = 1:		
			00	32768-Hz crystal on LFXT1		00	0.4- to 1-MHz crystal	
			01	Reserved		01	1- to 3-MHz crystal	
			10	VLOCLK		10	3- to 16-MHz crystal	
			11	External clock source		11	0.4- to 16-MHz clock source	
	XCAPx	Bits 3-2	Oscillator capacitor selection. These bits select the effective capacitance seen by the LFXT1 crystal when XTS = 0. If XTS = 1 or if LFXT1Sx = 11 XCAPx should be 00.					
			00	~1 pF				
			01	~6 pF				
			10	~10 pF				
			11	~12.5 pF				
	XT2OF	Bit 1	XT2 oscillator fault					
			0	No fault condition present				
			1	Fault condition present				
	LFXT1OF	Bit 0	LFXT1 oscillator fault					
			0	No fault condition present				
			1	Fault condition present				

以下は、IAR Embedded Workbench IDE のクロックモジュールの設定におけるサンプルコードです。

```
BCSCTL3 = 0x00;           // 32768-Hz crystal, 1pF internal capacitor
BCSCTL1 = 0x00;           // XT2 oscillator is on, Low-frequency mode
```

14.2 Clock-out Capability

本 MCU は、オンボードの周辺機器に対して、MCU のクロックと同期させることが容易に設定できます。その場合、PxSEL と PxSEL2 のレジスタを設定して、該当する端子をファンクションピンとして設定する必要があります。また PxDIR レジスタの設定によって、該当する端子を出力として設定する必要があります。

以下は、ファンクション設定にする場合の IAR Embedded Workbench のサンプルコードになります。

```
P2SEL = P2SEL | 0x01;           // Select ACLK function for pin
P2DIR = P2DIR | 0x01;           // Set direction of P2.0 to output
```

Table 15: PxSEL and PxSEL2

PxSEL2	PxSEL	Pin Function
0	0	I/O function is selected
0	1	Primary peripheral module function is selected
1	0	Reserved. See device-specific data sheet
1	1	Secondary peripheral module function is selected

14.3 Low-power Modes

MSP430 デバイスには、いくつかの低消費電力モードがあり、設計者は最適な消費電力でアプリケーションを作成することができます。低消費電力モードは、ステータス・レジスタの各ビット（CPUOFF, OSCOFF, SCG0, SCG1）にて設定します。ステータス・レジスタの各制御ビットを持つ利点は、割込みサービス・ルーチンの間に、現在の動作モードをスタックに保存できることです。

LPM4 モード以外では ACLK クロックが動作しますが、LPM4 モードでは、CPU とすべてのクロックが無効となります。

Table 16: Status Register

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved							V	SCG1	SCG0	OSCOFF	CPUOFF	GIE	N	Z	C

Table 17: Low Power Modes and ACLK Clock

SCG1	SCG0	OSCOFF	CPUOFF	Mode	ACLK
0	0	0	0	Active	Enabled
0	0	0	1	LPM0	Enabled
0	1	0	1	LPM1	Enabled
1	0	0	1	LPM2	Enabled
1	1	0	1	LPM3	Enabled
1	1	1	1	LPM4	Disabled

15 Appendix E: Programming the NXP LPC1100 RTC Oscillator

15.1 Configuring the RTC Oscillator

システムクロックブロックは、チップのすべてのクロックを生成しています。このブロックは、32kHz の RTC 発振回路を内蔵し、バッテリーバックアップの付いた常に電源が供給されるブロックから、RTC ブロックに対し常にクロックを供給します。RTC 発振回路もこの電源ブロックに配置されています。これらの回路は、常に低消費電力モードで独立して動作しています。RTC 発振回路は、RTCOSCCTRL レジスタを制御することで簡単に制御できます。

Table 18: RTC Oscillator 32 kHz Output Control RTCOSCCTRL

Bit	Symbol	Value	Description	Reset Value
0	RTCOSCEN		Enable the RTC 32 kHz output.	1
		0	Disabled. 32 kHz output disabled.	
		1	Enabled. 32 kHz output enabled.	
31:1	-		Reserved	-

RTC 発振回路をバイパスすることは出来ません。外部からクロックを入力する際は、RTCXIN ピンから入力する必要があります。

15.2 Clock Output Capability

LPC1100 は、IRS 発振器、システム発振器、ウォッチドッグ発振器やメインクロックを出力できる機能を備えています。オンボードの周辺機器用の I/O ピンから 32768 Hz のクロックを入力する事も可能です。CLKOUT ピンから 32kHz のクロックを供給するには、RTC クロックをメインクロックドメインに設定する必要があります。

以下は、クロック出力機能を有効にする場合の LPCXpresso IDE のサンプルコードになります。

```
// 1) Enable a clock for the GPIO clock domain
LPC_SYSCTL->SYSAHBCLKCTRL |= (1 << 6);

// 2) Set PLL input as a clock source of the main clock domain
LPC_SYSCTL->MAINCLKSEL = 0x1;

// 3) Configure the PIO0_1 as the CLKOUT pin
PIOCON->PIO0[1] = 0x1;

// 4) Set the main clock as a clock source for CLKOUT
LPC_SYSCTL->CLKOUTSEL = (uint32_t) 0x3;

// 5) Set divider to /1 for CLKOUT
LPC_SYSCTL->CLKOUTDIV = 1;

// 6) Set the RTC oscillator clock source as the clock source for the //
PLL
LPC_SYSCTL->SYSPLLCLKSEL = 0x3;

// 7) updated clock source for PLL
LPC_SYSCTL->SYSPLLCLKUEN = 0;
LPC_SYSCTL->SYSPLLCLKUEN = 1;

// update clock source for the main clock domain
LPC_SYSCTL->MAINCLKUEN = 0;
LPC_SYSCTL->MAINCLKUEN = 1;

// update clock source for CLKOUT
LPC_SYSCTL->CLKOUTUEN = 0;
LPC_SYSCTL->CLKOUTUEN = 0x1;
```

Table 19: System Clock Control SYSAHBCLKCTRL

Bit	Symbol	Value	Description	Reset Value
0	SYS		This bit is read-only and always reads as 1. It configures the always-on clock for the AHB, APB bridges the Cortex-M0 core clocks, SYSCON, reset control, SRAM0, and the PMU. Writes to this bit are ignored.	1
		0	Disable	
		1	Enable	
1	ROM		Enables clock for ROM.	1
		0	Disable	
		1	Enable	
2	RAM0		Enables clock for Main SRAM0.	1
		0	Disable	
		1	Enable	
3	FLASHREG		Enables clock for flash register interface.	1
		0	Disable	
		1	Enable	
4	FLASHARRAY		Enables clock for flash access.	1
		0	Disable	
		1	Enable	
5	I2C0		Enables clock for I2C.	0
		0	Disable	
		1	Enable	
6	GPIO		Enables clock for GPIO port registers.	1
		0	Disable	
		1	Enable	
7	CT16B0		Enables clock for 16-bit counter/timer 0.	0
		0	Disable	
		1	Enable	
8	CT16B1		Enables clock for 16-bit counter/timer 1.	0
		0	Disable	
		1	Enable	
9	CT32B0		Enables clock for 32-bit counter/timer 0.	0
		0	Disable	
		1	Enable	
10	CT32B1		Enables clock for 32-bit counter/timer 1.	0
		0	Disable	
		1	Enable	

Bit	Symbol	Value	Description	Reset Value
11	SSP0		Enables clock for SSP0.	1
		0	Disable	
		1	Enable	
12	USART0		Enables clock for USART0.	0
		0	Disable	
		1	Enable	
13	ADC		Enables clock for ADC.	0
		0	Disable	
		1	Enable	
14	USB		Enables clock to the USB register interface.	1
		0	Disable	
		1	Enable	
15	WWDT		Enables clock for WWDT.	0
		0	Disable	
		1	Enable	
16	IOCON		Enables clock for I/O configuration block.	0
		0	Disable	
		1	Enable	
17	-		Reserved	0
18	SSP1		Enables clock for SSP1.	0
		0	Disable	
		1	Enable	
19	PINT		Enables clock to GPIO Pin interrupt register interface.	0
		0	Disable	
		1	Enable	
20	USART1		Enables clock to USART1 register interface.	0
		0	Disable	
		1	Enable	
21	USART2		Enables clock to USART2 register interface.	0
		0	Disable	
		1	Enable	
22	USART3_4		Enables clock to USART3 and USART4 register interfaces.	0
		0	Disable	
		1	Enable	
23	GROUP0INT		Enables clock to GPIO GROUP0 interrupt register interface.	0
		0	Disable	
		1	Enable	

Bit	Symbol	Value	Description	Reset Value
24	GROUP1INT		Enables clock to GPIO GROUP1 interrupt register interface.	0
		0	Disable	
		1	Enable	
25	I2C1		Enables clock for I2C1.	0
		0	Disable	
		1	Enable	
26	RAM1		Enables clock for SRAM1 located at 0x2000 0000 to 0x2000 0800.	0
		0	Disable	
		1	Enable	
27	USBSRAM		Enables USB SRAM/SRAM2 block located at 0x2000 4000 to 0x2000 4800.	1
		0	Disable	
		1	Enable	
28	CRC		Enables clock for CRC.	0
		0	Disable	
		1	Enable	
29	DMA		Enables clock for DMA.	0
		0	Disable	
		1	Enable	
30	RTC		Enables clock for RTC register interface.	0
		0	Disable	
		1	Enable	
31	SCT0_1		Enables clock for SCT0 and SCT1.	0
		0	Disable	
		1	Enable	

Table 20: Main Clock Source Select MAINCLKSEL

Bit	Symbol	Value	Description	Reset Value
1:0	SEL		Clock source for main clock	0
		0x0	IRC Oscillator	
		0x1	PLL input	
		0x2	Watchdog oscillator	
		0x3	PLL output	
31:2	-		Reserved	-

Table 30: Digital Pin Control Register IOCON (PIO0_1)

Bit	Symbol	Value	Description	Reset Value
2:0	FUNC		Selects pin function.	0
		0x0	PIO0_1	
		0x1	CLKOUT	
		0x2	CT32B0_MAT2	
		0x3	USB_FTOGGLE	
		0x4..0x7	-	
4:3	MODE		Selects function mode (on-chip pull-up/pull-down resistor control).	0x2
		0x0	Inactive (no pull-down/pull-up resistor enabled).	
		0x1	Pull-down resistor enabled.	
		0x2	Pull-up resistor enabled.	
		0x3	Repeater mode.	
5	HYS		Hysteresis.	0
		0	Disable	
		1	Enable	
6	INV		Invert input	0
		0	Input not inverted (HIGH on pin reads as 1)	
		1	Input inverted (HIGH on pin reads as 0)	
9:7	-	-	Reserved	0
10	OD		Open-drain mode	0
		0	Disable	
		1	Enable. Open-drain mode enabled	
12:11	S_MODE		Digital filter sample mode.	0
		0x0	Bypass input filter.	
		0x1	1 clock cycle.	
		0x2	2 clock cycles.	
		0x3	3 clock cycles.	
15:13	CLKDIV		Select peripheral clock divider for input filter sampling clock IOCONCLKDIV. Value 0x7 is reserved.	0
		0x0	IOCONCLKDIV0. Use IOCON clock divider 0.	
		0x1	IOCONCLKDIV1. Use IOCON clock divider 1.	
		0x2	IOCONCLKDIV2. Use IOCON clock divider 2.	
		0x3	IOCONCLKDIV3. Use IOCON clock divider 3.	
		0x4	IOCONCLKDIV4. Use IOCON clock divider 4.	
		0x5	IOCONCLKDIV5. Use IOCON clock divider 5.	
		0x6	IOCONCLKDIV6. Use IOCON clock divider 6.	
31:16	-	-	Reserved	0

Table 21: CLKOUT Clock Source Select CLKOUTSEL

Bit	Symbol	Value	Description	Reset Value
1:0	SEL		CLKOUT clock source	0
		0x0	IRC oscillator	
		0x1	Crystal oscillator (SYSOSC)	
		0x2	Watchdog oscillator	
		0x3	Main clock	
31:2	-		Reserved	0

Table 22: CLKOUT Clock Divider CLKOUTDIV

Bit	Symbol	Value	Description	Reset Value
7:0	DIV		CLKOUT clock divider values	0
		0	Disable CLKOUT clock divider.	
		1	Divide by 1.	
		to 255	Divide by 255.	
31:8	-		Reserved	0

Table 23: System PLL Clock Source Select SYSPLLCLKSEL

Bit	Symbol	Value	Description	Reset Value
1:0	SEL		System PLL clock source	0
		0x0	IRC	
		0x1	System oscillator. Crystal Oscillator.	
		0x2	Reserved	
		0x3	32 kHz clock. Select this option when the 32 kHz clock is the clock source for the main clock and select the pll input in the MAINCLKSEL register. Do not use the 32 kHz clock with the PLL.	
31:2	-		Reserved	0

Table 34: System PLL Clock Source Update Enable Register SYSPLLCLKUEN

Bit	Symbol	Value	Description	Reset Value
0	ENA		Enable system PLL clock source update	1
		0	No change	
		1	Update clock source	
31:1	-	-	Reserved	-

Table 35: Main Clock Source Update Enable Register MAINCLKUEN

Bit	Symbol	Value	Description	Reset Value
0	ENA		Enable main clock source update	1
		0	No change	
		1	Update clock source	
31:1	-	-	Reserved	-

Table 36: CLKOUT Clock Source Update Enable Register CLKOUTUEN

Bit	Symbol	Value	Description	Reset Value
0	ENA		Enable CLKOUT clock source update	1
		0	No change	
		1	Update clock source	
31:1	-	-	Reserved	-

16 Appendix F: Programming the Freescale Kinetis L4x and L5x System Oscillator

16.1 Programming Model

このMCUは、2つのモジュールによってクロック分配を管理します。システムクロックソースの選択と多重化は、multipurpose clock generator (MCG) モジュールを介して制御され、クロックの分周設定とモジュールに対するクロックゲーティングの設定は、system integration module (SIM) モジュールを介して制御されます。MCGおよびSIMレジスタがこれらを制御しています。

注意： OSCが有効になりクロック生成開始した後、低消費電力や周波数範囲などの設定は変更してはいけません。

発振モジュールには、接続する水晶振動子用に負荷容量が組み込まれています。OSC0_CR レジスタは、低消費電力モード動作と負荷容量を制御しています。OSC0_CR の ERCLKEN ビットと EREFSTEN ビットがセット状態の場合、MCU が停止モードでも OSC は動作しています。

Table 37: OSC Control Register (OSCx_CR)

Bit	Symbol	Value	Description
7	ERCLKEN		External Reference Enable. Enables external reference clock (OSCERCLK).
		0	External reference clock is inactive.
		1	External reference clock is enabled.
6	Reserved		This read-only field is reserved and always has the value 0.
5	EREFSTEN		External Reference Stop Enable. Controls whether or not the external reference clock (OSCERCLK) remains enabled when MCU enters Stop mode.
		0	External reference clock is disabled in Stop mode.
		1	External reference clock stays enabled in Stop mode if ERCLKEN is set before entering Stop mode.
4	Reserved		This read-only field is reserved and always has the value 0.
3	SC2P		Oscillator 2 pF Capacitor Load Configure. Configures the oscillator load.
		0	Disable the selection.
		1	Add 2 pF capacitor to the oscillator load.
2	SC4P		Oscillator 4 pF Capacitor Load Configure. Configures the oscillator load.
		0	Disable the selection.
		1	Add 4 pF capacitor to the oscillator load.
1	SC8P		Oscillator 8 pF Capacitor Load Configure. Configures the oscillator load.
		0	Disable the selection.
		1	Add 8 pF capacitor to the oscillator load.
0	SC16P		Oscillator 16 pF Capacitor Load Configure. Configures the oscillator load.
		0	Disable the selection.
		1	Add 16 pF capacitor to the oscillator load.

システム発振回路は、高周波水晶振動子（3-32 MHz）と同様に 32kHz の発振器もサポートしています。以下 3 種類のクロックが、OSC モジュールから出力されます。

- OSCCLK（MCUシステム用クロック）
- OSCERCLK（オンチップのペリフェラル用クロック）
- OSC32KCLK

MCG_C2[5 : 4]レジスタの RANGE0 ビットが、水晶発振器の周波数範囲を定義します。32 kHz 動作の発振周波数範囲を選択するには、RANGE0 ビットをクリアする必要があります。

カウンタが、入力クロック（XTL_CLK）を 4096 サイクル検出するまで、oscillator output clock（OSC_CLK_OUT）はオフゲートです。4096 サイクル完了後、カウンタは XTL_CLK を OSC_CLK_OUT から通過させます。カウントタイムアウトを使用することで、出力クロックの安定性を保証しています。

Table 24: MCG Control 2 Register (MCG_C2)

Bit	Symbol	Value	Description
7	LOCRE0		Loss of Clock Reset Enable. Determines whether an interrupt or a reset request is made following a loss of OSC0 external reference clock. The LOCRE0 only has an affect when CME0 is set.
		0	Interrupt request is generated on a loss of OSC0 external reference clock.
		1	Generate a reset request on a loss of OSC0 external reference clock.
6	Reserved		This read-only field is reserved and always has the value 0.
5-4	RANGE0		Frequency Range Select. Selects the frequency range for the crystal oscillator or external clock source. See the Oscillator (OSC) chapter for more details and the device data sheet for the frequency ranges used.
		00	Encoding 0 — Low frequency range selected for the crystal oscillator.
		11	Encoding 1 — High frequency range selected for the crystal oscillator.
		1x	Encoding 2 — Very high frequency range selected for the crystal oscillator.
3	HGO0		High Gain Oscillator Select. Controls the crystal oscillator mode of operation. See the Oscillator (OSC) chapter for more details.
		0	Configure crystal oscillator for low-power operation.
		1	Configure crystal oscillator for high-gain operation.
2	EREFS0		External Reference Select. Selects the source for the external reference clock. See the Oscillator (OSC) chapter for more details.
		0	External reference clock requested.
		1	Oscillator requested.
1	LP		Low Power Select. Controls whether the FLL is disabled in BLPI and BLPE modes. In FBE mode, setting this bit to 1 will transition the MCG into BLPE mode; in FBI mode, setting this bit to 1 will transition the MCG into BLPI mode. In any other MCG mode, LP bit has no affect.
		0	FLL is not disabled in bypass modes.
		1	FLL is disabled in bypass modes (lower power)
0	IRCS		Internal Reference Clock Select. Selects between the fast or slow internal reference clock source.
		0	Slow internal reference clock selected.
		1	Fast internal reference clock selected.

Table 25: MCG Status Register (MCG_S)

Bit	Symbol	Value	Description
7-5	Reserved		Reserved. This field is reserved. This read-only field is reserved and always has the value 0.
		0	Interrupt request is generated on a loss of OSC0 external reference clock.
		1	Generate a reset request on a loss of OSC0 external reference clock.
4	IREFST		Internal Reference Status This bit indicates the current source for the FLL reference clock. The IREFST bit does not update immediately after a write to the IREFS bit due to internal synchronization between clock domains.
		0	Source of FLL reference clock is the external reference clock.
		1	Source of FLL reference clock is the internal reference clock.
3-2	CLKST		Clock Mode Status. These bits indicate the current clock mode. The CLKST bits do not update immediately after a write to the CLKS bits due to internal synchronization between clock domains.
		00	Encoding 0 — Output of the FLL is selected (reset default).
		01	Encoding 1 — Internal reference clock is selected.
		10	Encoding 2 — External reference clock is selected.
		11	Reserved.
1	OSCINIT0		OSC Initialization. This bit, which resets to 0, is set to 1 after the initialization cycles of the crystal oscillator clock have completed. After being set, the bit is cleared to 0 if the OSC is subsequently disabled. See the OSC module's detailed description for more information.
0	IRCST		Internal Reference Clock Status. The IRCST bit indicates the current source for the internal reference clock select clock (IRCSCLK). The IRCST bit does not update immediately after a write to the IRCS bit due to internal synchronization between clock domains. The IRCST bit will only be updated if the internal reference clock is enabled, either by the MCG being in a mode that uses the IRC or by setting the C1[IRCLKEN] bit.
		0	Source of internal reference clock is the slow clock (32 kHz IRC).
		1	Source of internal reference clock is the fast clock (4 MHz IRC).

Table 40: System Options Register 2 (SIM_SOPT2)

Bit	Symbol	Value	Description
31-28	Reserved		This field is reserved. This read-only field is reserved and always has the value 0.
27-26	UART0SRC		UART0 clock source select. Selects the clock source for the UART0 transmit and receive clock.
		00	Clock disabled
		01	MCGFLLCLK clock
		10	OSCERCLK clock
		11	MCGIRCLK clock
25-24	TPMSRC		TPM clock source select. Selects the clock source for the TPM counter clock
		00	Clock disabled
		01	MCGFLLCLK clock
		10	OSCERCLK clock
		11	MCGIRCLK clock
23-8	Reserved		This field is reserved. This read-only field is reserved and always has the value 0.
7-5	CLKOUTSEL		CLKOUT select. Selects the clock to output on the CLKOUT pin.
		000	Reserved.
		001	Reserved.
		010	Bus clock.
		011	LPO clock (1 kHz)
		100	MCGIRCLK
		101	Reserved.
		110	OSCERCLK
		111	Reserved.
4	RTCCLKOUTSEL		RTC clock out select. Selects either the RTC 1 Hz clock or the OSC clock to be output on the RTC_CLKOUT pin.
		0	RTC 1 Hz clock is output on the RTC_CLKOUT pin.
		1	OSCERCLK clock is output on the RTC_CLKOUT pin.
3-0	Reserved		This field is reserved. This read-only field is reserved and always has the value 0.

Table 41: MCG Control 4 Register (MCG_C4)

Bit	Symbol	Value	Description				
7	DMX32		DCO Maximum Frequency with 32.768 kHz Reference. The DMX32 bit controls whether the DCO frequency range is narrowed to its maximum frequency with a 32.768 kHz reference. The following table identifies settings for the DCO frequency range. NOTE: The system clocks derived from this source should not exceed their specified maximums.				
		DRST_DRS	DMX32	Reference Range	FLL Factor	DCO Range	
		00	0	31.25–39.0625 kHz	640	20–25 MHz	
			1	32.768 kHz	732	24 MHz	
		01	0	31.25–39.0625 kHz	1280	40–50 MHz	
			1	32.768 kHz	1464	48 MHz	
		10	0	31.25–39.0625 kHz	1920	60–75 MHz	
			1	32.768 kHz	2197	72 MHz	
		11	0	31.25–39.0625 kHz	2560	80–100 MHz	
			1	32.768 kHz	2929	96 MHz	
	0	DCO has a default range of 25%.					
	1	DCO is fine-tuned for maximum frequency with 32.768 kHz reference.					
6-5	DRST_DRS		DCO Range Select. The DRS bits select the frequency range for the FLL output, DCOOUT. When the LP bit is set, writes to the DRS bits are ignored. The DRST read field indicates the current frequency range for DCOOUT. The DRST field does not update immediately after a write to the DRS field due to internal synchronization between clock domains. See the DCO Frequency Range table for more details.				
		00	Encoding 0 — Low range (reset default).				
		01	Encoding 1 — Mid range.				
		10	Encoding 2 — Mid-high range.				
		11	Encoding 3 — High range.				
4-1	FCTRIM		Fast Internal Reference Clock Trim Setting FCTRIM controls the fast internal reference clock frequency by controlling the fast internal reference clock period. The FCTRIM bits are binary weighted, that is, bit 1 adjusts twice as much as bit 0. Increasing the binary value increases the period, and decreasing the value decreases the period. If an FCTRIM[3:0] value stored in nonvolatile memory is to be used, it is your responsibility to copy that value from the nonvolatile memory location to this register.				
0	SCFTRIM		Slow Internal Reference Clock Fine Trim. SCFTRIM controls the smallest adjustment of the slow internal reference clock frequency. Setting SCFTRIM increases the period and clearing SCFTRIM decreases the period by the smallest amount Possible. If an SCFTRIM value stored in nonvolatile memory is to be used, it is your responsibility to copy that value from the nonvolatile memory location to this bit.				

以下は、CodeWarrior Development Studio のサンプルコードで、Mode-1 で SiT1533AI-H4 を動作する設定となります。

```
// 1) Enable external reference clock (OSCERCLK) and disable all the
//     built-in load capacitors
OSC0_CR = 0xA0;

// 2) Configure MCG_C2. Set low frequency range for the crystal
//     oscillator, low power mode and select external reference
MCG_C2 &= ~(0x3C);

// 3) Select external reference
MCG_C2 |= 0x04;

// 4) Wait for oscillator initialization has completed
while((MCG_S & 0x2) != 0x2);
```

16.2 Clock Output Capability

この MCU は、RTC 1 Hz または OSCERCLK のいずれかをオンチップのクロックソースとして出力可能な RTC_CLKOUT 端子を備えています。このオプションの制御は、SIM_SOPT2[4]および SIM_SOPT2[7:5]の 2 つのビットを介して行われます。SIM_SOPT2[7:5]ビットはクロックソースを制御しています。

以下は、RTC_CLKOUT 端子を制御するサンプルコードです。

```
// 1) Configure PTC13 pin as output
PORTB_PCR13 = (PORT_PCR_MUX(0x3));

// 2) Select clock source
SIM_SOPT2 |= (uint32_t) 0xD0;
```

17 Appendix G: Programming the PIC18 MCU Secondary Oscillator

secondary oscillator は Timer1 の一部であり、Timer1 が保有するレジスタ群の設定をカスタマイズすることにより構成することができます。Timer1 は 3 つのモードで動作させることができます。

- タイマー
- 同期カウンタ
- 非同期カウンタ

Timer1 を動作させるにはクロック供給が必要で、3 つのクロックソースがあります。

- 内部クロック (high-speed oscillator または内臓 RC oscillator から供給されるシステムクロック)
- Secondary Oscillator (32 kHz の時計用水晶振動子を接続)
- 外部クロック (T10S0 端子から供給)

secondary oscillator を使用する場合、確実に起動させるために、ユーザーはソフトウェアによりマスク信号を供給する必要があります。Timer1 を有効にすると、TRISC の設定値は無視され、RC1/T10SI およ

び RC0/T1OSO/T13CKI それぞれの端子が入力端子になります。（端子の状態は 0 として読み出されます。）

PIC18 MCU はプログラムが容易なデバイスです。すべての Timer1 の設定は、1 つのレジスタで完結します。Timer1 は T1CON（Timer1 制御レジスタ）によって制御されます。このレジスタには Timer1 Oscillator Enable ビット（T1OSCEN）が含まれています。TMR1ON ビット（T1CON[0]）を 0 クリア、セットすることによって Timer1 を有効/無効にすることができます。

Table 42: Timer1 Control Register (T1CON)

R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
RD16	T1RUN	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
Bit 7	RD16:	16-Bit Read/Write Mode Enable bit					
	1	Enables register read/write of Timer1 in one 16-bit operation					
	0	Enables register read/write of Timer1 in two 8-bit operations					
Bit 6	T1RUN:	Timer1 System Clock Status bit					
	1	Device clock is derived from Timer1 oscillator					
	0	Device clock is derived from another source					
Bit 5-4	T1CKPS<1:0>	Timer1 Input Clock Prescale Select bits					
	11	1:8 Prescale value					
	10	1:4 Prescale value					
	01	1:2 Prescale value					
	00	1:1 Prescale value					
Bit 3	T1OSCEN:	Timer1 Oscillator Enable bit					
	1	Timer1 oscillator is enabled					
	0	Timer1 oscillator is shut off.					
Bit 2	T1SYNC:	Timer1 External Clock Input Synchronization Select bit					
		When TMR1CS = 1					
	1	Do not synchronize external clock input					
	0	Synchronize external clock input					
		Timer1 uses the internal clock when TMR1CS = 0 and this bit is ignored.					
Bit 1	TMR1CS:	Timer1 Clock Source Select bit					
	1	External clock from RC0/T1OSO/T13CKI pin (on the rising edge)					
	0	Internal clock (FOSC/4)					
Bit 0	TMR1ON:	Timer1 On bit					
	1	Enables Timer1					
	0	Stops Timer1					

Mode-1 と Mode-3 で動作するサンプルコードを以下に記載します。

```
// Configure Secondary Oscillator in Mode-1
// enable Timer1 Oscillator
T1CON = 0x08;
// enabling Timer1 and switching to Secondary Oscillator clock
T1CON |= 0xC3;

// Configure Secondary Oscillator in Mode-3 (Bypass Mode)
// enabling Timer1 and switching to Secondary Oscillator clock
T1CON = 0xC3;
```

SiTime Corporation
990 Almanor Avenue
Sunnyvale, CA 94085
USA
Phone: 408-328-4400
<http://www.sitime.com>

© SiTime Corporation, 2008-2015. The information contained herein is subject to change at any time without notice. SiTime assumes no responsibility or liability for any loss, damage or defect of a Product which is caused in whole or in part by (i) use of any circuitry other than circuitry embodied in a SiTime product, (ii) misuse or abuse including static discharge, neglect or accident, (iii) unauthorized modification or repairs which have been soldered or altered during assembly and are not capable of being tested by SiTime under its normal test conditions, or (iv) improper installation, storage, handling, warehousing or transportation, or (v) being subjected to unusual physical, thermal, or electrical stress.

Disclaimer: SiTime makes no warranty of any kind, express or implied, with regard to this material, and specifically disclaims any and all express or implied warranties, either in fact or by operation of law, statutory or otherwise, including the implied warranties of merchantability and fitness for use or a particular purpose, and any implied warranty arising from course of dealing or usage of trade, as well as any common-law duties relating to accuracy or lack of negligence, with respect to this material, any SiTime product and any product documentation. Products sold by SiTime are not suitable or intended to be used in a life support application or component, to operate nuclear facilities, or in other mission critical applications where human life may be involved or at stake.

SiTime is a wholly owned subsidiary of MegaChips Corporation. SiTime is a trademark of SiTime Corporation. All other trademarks are the property of their respective owners.